Patent
Attorney's Docket No. 009683-485

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	)	
	)	
Tsukasa OOISHI	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: October 29, 2003	)	Confirmation No.: Unassigned
	)	
For: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MEMORY DEVICE PROVIDED WITH INTERNAL CURRENT SETTING ADJUSTMENT CIRCUIT	)	

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-276468

Filed: July 18, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: October 29, 2003

By: _____
Ellen Marcie Emas
Registration No. 32,131

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年　７月１８日

出願番号
Application Number: 特願２００３－２７６４６８

[ST. 10/C]: [ＪＰ２００３－２７６４６８]

出願人
Applicant(s): 株式会社ルネサステクノロジ

２００３年　８月１９日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０６７７４１

【書類名】　特許願
【整理番号】　540360JP02
【提出日】　平成15年 7月18日
【あて先】　特許庁長官殿
【国際特許分類】　G11C 11/15
G11C 13/00
G11C 16/06
【発明者】
【住所又は居所】　東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内
【氏名】　大石　司
【特許出願人】
【識別番号】　503121103
【氏名又は名称】　株式会社ルネサステクノロジ
【代理人】
【識別番号】　100064746
【弁理士】
【氏名又は名称】　深見　久郎
【選任した代理人】
【識別番号】　100085132
【弁理士】
【氏名又は名称】　森田　俊雄
【選任した代理人】
【識別番号】　100083703
【弁理士】
【氏名又は名称】　仲村　義平
【選任した代理人】
【識別番号】　100096781
【弁理士】
【氏名又は名称】　堀井　豊
【選任した代理人】
【識別番号】　100098316
【弁理士】
【氏名又は名称】　野田　久登
【選任した代理人】
【識別番号】　100109162
【弁理士】
【氏名又は名称】　酒井　將行
【先の出願に基づく優先権主張】
【出願番号】　特願2002-318078
【出願日】　平成14年10月31日
【手数料の表示】
【予納台帳番号】　008693
【納付金額】　21,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　0307628

【書類名】特許請求の範囲
【請求項１】
電源ノードから動作電流の供給を受ける内部回路と、
動作電圧源と前記電源ノードの間に接続された電流スイッチと、
前記内部回路のリーク電流が基準レベル以下であるかどうかを検知するためのリーク検知回路とを備え、
前記リーク検知回路は、
前記電流スイッチのオフ期間に、前記電源ノードへ前記基準レベルの電流を供給する基準電流供給部と、
前記オフ期間において、前記電源ノードの電圧を所定電圧と比較するための電圧比較回路とを含む、半導体装置。
【請求項２】
前記基準電流供給部は、調整指示に応答して前記基準レベルを段階的に変化させる基準電流調整部を有する、請求項１に記載の半導体装置。
【請求項３】
前記内部回路を構成する電界効果型トランジスタへ印加される内部電圧を制御する内部電圧制御回路と、
前記内部電圧を伝達する内部電圧配線とをさらに備え、
前記内部電圧制御回路は、
前記内部電圧配線の電圧と目標電圧とを比較する内部電圧比較回路と、
前記内部電圧比較回路での比較結果に基づいて、前記内部電圧を制御する電圧制御回路と、
調整入力に応答して、前記目標電圧を変化させるための電圧調整部とを含む、請求項１に記載の半導体装置。
【請求項４】
待機モード時に入力される前記調整入力は、動作テスト時において前記リーク電流が前記基準レベル以下となった状態に基づいて設定される、請求項３に記載の半導体装置。
【請求項５】
前記電流スイッチは、待機モード時にオフされ、
前記電圧調整部への前記調整入力は、前記電圧比較回路の出力に基づいて設定される、請求項３に記載の半導体装置。
【請求項６】
前記内部回路は、少なくとも１個の電界効果型トランジスタを含み、
前記半導体装置は、
前記内部回路のリーク電流が基準レベル以下であるかどうかを検知するためのリーク検知回路と、
前記内部回路に含まれる前記電界効果型トランジスタのソース、ゲート、ドレインおよび基板のうちの１つに印加される内部電圧を制御するための内部電圧制御回路と、
前記内部電圧を伝達する内部電圧配線とをさらに備え、
前記内部電圧制御回路は、
前記内部電圧配線の電圧と目標電圧とを比較するための内部電圧比較回路と、
前記内部電圧比較回路での比較結果に基づいて、前記内部電圧を制御する電圧制御回路と、
調整入力に応答して、前記目標電圧を変化させるための電圧調整部とを含む、請求項１に記載の半導体装置。
【請求項７】
前記調整入力は、通常動作モード時および待機モード時のそれぞれにおいて異なる、請求項６に記載の半導体装置。
【請求項８】
前記電圧調整部は、前記内部電圧と所定電圧との電圧差を前記調整入力に応じた分圧比

で分圧する分圧回路を含み、
　前記内部電圧比較回路は、固定された基準電圧と前記分圧回路から出力された分圧電圧とを比較する、請求項６に記載の半導体装置。
【請求項９】
　各々がデータ書込電流の供給に応答してデータが書込まれる複数のメモリセルと、
　前記データ書込電流を駆動する、電界効果型トランジスタで構成された複数のトランジスタと、
　前記複数のトランジスタへ印加される内部電圧を制御する内部電圧制御回路と、
　前記内部電圧を伝達する内部電圧配線とをさらに備え、
　前記内部電圧制御回路は、
　前記内部電圧配線の電圧と目標電圧とを比較するための内部電圧比較回路と、
　前記内部電圧比較回路での比較結果に基づいて、前記内部電圧を制御する電圧制御回路と、
　調整入力に応答して、前記目標電圧を変化させるための電圧調整部とを含む、半導体記憶装置。
【請求項１０】
　前記内部電圧は、前記複数のトランジスタへ基板電圧として印加される、請求項９に記載の半導体記憶装置。
【請求項１１】
　前記内部電圧は、前記複数のトランジスタのソース、ゲートおよびドレインのうちの１つへ印加される、請求項９に記載の半導体記憶装置。
【請求項１２】
　前記複数のメモリセルからデータを読出すためのデータ読出回路と、
　前記調整入力が複数の段階に設定可能な動作テスト時において、前記複数の段階のそれぞれにおいて、前記複数のメモリセルへ所定レベルの前記データが正しく書込み可能か否かを評価するための書込テスト部とをさらに備え、
　通常動作時における前記調整入力は、前記動作テスト時での前記書込テスト部による評価に基づいて設定される、請求項９に記載の半導体記憶装置。
【請求項１３】
　前記書込テスト部は、データ比較回路を含み、
　前記データ比較回路は、前記動作テスト時において、前記所定レベルのデータの書込み後に前記データ読出回路によって前記複数のメモリセルから読出されたデータと、前記所定レベルに対応する期待値データとを比較する、請求項１２に記載の半導体記憶装置。
【請求項１４】
待機モード時における前記調整入力は、前記通常動作時とは異なるように設定される、請求項１２に記載の半導体記憶装置。
【請求項１５】
入力アドレスに基づいた前記複数のメモリセルに対するアクセスを、前記複数のメモリセルの各々が１ビットのデータを記憶する第１のモードと、前記複数のメモリセルのうちの２個ずつの組の各々が１ビットのデータを記憶する第２のモードとの間で切換えるためのアクセス制御回路と、
　前記複数のメモリセルのうちの前記アクセス制御回路によってアクセス対象に選択されたメモリセルからのデータ読出を実行するデータ読出回路と、
　前記複数のメモリセルのうちの前記アクセス対象に選択されたメモリセルに対するデータ書込を実行するデータ書込回路とをさらに備える、請求項９に記載の半導体記憶装置。
【請求項１６】
　書込まれる前記データに応じて前記データ書込電流を制御するデータ書込回路をさらに備え、
　前記複数のメモリセルの各々は、
　固定された磁化方向を有する第１の磁性体層と、

前記データ書込電流によって生じた磁界に応じた方向に磁化される第２の磁性体層と、
前記第１および第２の磁性体層の間に形成された絶縁膜とを有する、請求項９に記載の半導体記憶装置。
【請求項１７】
書込まれる前記データに応じて前記データ書込電流を制御するデータ書込回路をさらに備え、
前記複数のメモリセルの各々は、
前記データ書込電流によって発熱する加熱素子と、
前記加熱素子によって加熱されて、異なる２つの相状態の間を遷移可能な相変化素子とを有する、請求項９に記載の半導体記憶装置。
【請求項１８】
各々がデータ書込電流の供給に応答してデータが書込まれる複数のメモリセルと、
前記複数のメモリセルの一部ごとに配置され、前記データ書込電流が第１および第２の方向のいずれかに流される第１の書込電流線と、
前記データ書込電流を駆動する複数のトランジスタとを備え、
前記複数のトランジスタは、
前記第１の書込電流線に前記第１の方向の電流を駆動するための第１のドライバトランジスタと、
前記第１の書込電流線に前記第２の方向の電流を駆動するための第２のドライバトランジスタとを含み、
前記第１および第２のドライバトランジスタによってそれぞれ流される電流量を独立に調整可能な第１の電流調整部をさらに備える、半導体記憶装置。
【請求項１９】
前記第１の書込電流線に流される前記データ書込電流の方向は、書込データに応じて設定される、請求項１８に記載の半導体記憶装置。
【請求項２０】
前記第１の書込電流線と交差する方向に沿って設けられ、前記データ書込電流が所定方向に流される第２の書込電流線をさらに備え、
前記複数のトランジスタは、前記第２の書込電流線に前記所定方向の電流を駆動するための第３のドライバトランジスタをさらに含み、
前記半導体装置は、
前記第３のドライバトランジスタによって流される電流量を調整する第２の電流調整部をさらに備える、請求項１８に記載の半導体記憶装置。
【請求項２１】
前記第２の電流調整部は、
互いに独立に調整可能な複数の電圧をそれぞれが発生する複数の電圧発生回路と、
前記複数の電圧のうちの１つを書込データに応じて選択して、前記第３のドライバトランジスタへ印加するセレクタ回路とを含み、
前記第３のドライバトランジスタは、前記セレクタ回路によって印加された電圧に応じた電流を前記第２の書込電流線へ供給可能である、請求項２０に記載の半導体記憶装置。
【請求項２２】
前記第１の書込電流線と交差する方向に沿って設けられ、前記データ書込電流が所定方向に流される第２の書込電流線と、
第１および第２の電流量のいずれかを前記第２の書込電流線へ供給する第２の電流調整部とをさらに備え、
前記第２の電流調整部は、調整可能な第１の基準電圧に応じた電流を供給する第１の電流供給部と、
調整可能な第２の基準電圧に応じた電流を供給する第２の電流供給部と、
前記第１の電流供給部から供給される電流と、前記第１および第２の電流供給部から供給される電流の和または差とのいずれか一方が、オン・オフ制御に応じて選択的に前記第

２の書込電流線へ供給されるように配置されたスイッチ素子とを含み、
前記第１の基準電圧は、前記第１および第２の電流量の一方に対応して調整され、
前記第２の基準電圧は、前記第１および第２の電流量の差に対応して調整される、請求項１８に記載の半導体記憶装置。
【請求項２３】
前記スイッチ素子のオンおよびオフは、書込データに応じて制御される、請求項２２に記載の半導体記憶装置。
【請求項２４】
前記第１の電流調整部は、独立に調整可能な第１および第２の電圧を生成する電圧発生回路を含み、
前記半導体記憶装置は、前記電圧発生回路と前記第１および第２のドライバトランジスタとの間に設けられた接続交換回路をさらに備え、
前記接続交換回路は、前記第１および第２の電圧を前記第１および第２のドライバトランジスタへそれぞれ印加する第１の接続と、前記第２および第１の電圧を前記第１および第２のドライバトランジスタへそれぞれ印加する第２の接続とを、前記半導体記憶装置へのアクセスごとに切換可能であり、
前記第１および第２のドライバトランジスタは、前記接続交換回路を介して印加された電圧に応じた電流量を前記第１の書込電流線へ供給可能である、請求項１８に記載の半導体記憶装置。
【請求項２５】
前記複数のメモリセルの各々は、その配置方向に応じて、データ書込に必要な前記データ書込電流の大きさが異なるような非対称形状を有する、請求項１８に記載の半導体記憶装置。
【請求項２６】
前記第１の電流調整部は、独立に調整可能な第１および第２の電圧を生成する電圧発生回路を含み、
前記半導体記憶装置は、
前記電圧発生回路と前記第１および第２のドライバトランジスタとの間に設けられ、前記半導体記憶装置へのアクセスごとに、前記第１および第２のドライバトランジスタの各々へ前記第１および第２の電圧のいずれを印加するかを切換えるためのセレクタ回路をさらに備え、
前記第１および第２のドライバトランジスタは、前記セレクタ回路によって印加された電圧に応じた電流を前記第１の書込電流線へそれぞれ供給可能である、請求項２５に記載の半導体記憶装置。
【請求項２７】
前記セレクタ回路は、前記複数のメモリセルのうちの前記データ書込対象に選択されたメモリセルの前記配置方向を識別可能な情報に応じて、前記第１および第２のドライバトランジスタの各々へ前記第１および第２の電圧のいずれを印加するかを切換える、請求項２６に記載の半導体記憶装置。
【請求項２８】
前記複数のメモリセルの各々は、その配置方向に応じて、データ書込に必要な前記データ書込電流の大きさが異なるような非対称形状を有し、
前記複数のメモリセルの各々において、データ書込に必要な前記データ書込電流の大きさは、前記第１および第２の方向でそれぞれ異なる、請求項１８に記載の半導体記憶装置。
【請求項２９】
前記第１の電流調整部は、独立に調整可能な第１および第２の電圧を生成する電圧発生回路を含み、
前記半導体記憶装置は、
前記電圧発生回路と前記第１および第２のドライバトランジスタとの間に設けられた接

続交換回路をさらに備え、
前記接続交換回路は、前記第１および第２の電圧を前記第１および第２のドライバトランジスタへそれぞれ印加する第１の接続と、前記第２および第１の電圧を前記第１および第２のドライバトランジスタへそれぞれ印加する第２の接続とを、前記半導体記憶装置へのアクセスごとに切換可能であり、
前記第１および第２のドライバトランジスタは、前記接続交換回路を介して印加された電圧に応じた電流量を前記第１の書込電流線へそれぞれ供給可能である、請求項１８に記載の半導体記憶装置。
【請求項３０】
前記接続交換回路は、前記複数のメモリセルのうちの前記データ書込対象に選択されたメモリセルの前記配置方向を識別可能な情報に応じて、前記第１および第２の接続を切換える、請求項２９に記載の半導体記憶装置。
【請求項３１】
前記半導体記憶装置は、
前記第１の書込電流線と交差する方向に沿って設けられ、それぞれにおいて前記データ書込電流が前記書込データによらず所定方向に流される複数の第２の書込電流線をさらに備え、
前記複数のトランジスタは、
前記複数の第２の書込電流線にそれぞれ対応して設けられ、各々が、自身から見て一定方向の電流を対応の前記第２の書込電流線へ駆動するための複数の第３のドライバトランジスタをさらに含み、
前記複数の第３のドライバトランジスタは、前記複数の第２の書込電流線の１本おきに、前記複数の第２の書込電流線の一端側および他端側に交互に配置され、
前記第１の電流調整部は、独立に調整可能な第１および第２の電圧を生成する電圧発生回路を含み、
前記第１のドライバトランジスタは、データ書込対象に対応する前記第３のドライバが前記一端側および前記他端側のいずれに配置されているかを識別可能なアドレス情報に応じて選択された、前記第１および第２の電圧の一方に応じた電流量を前記第１の書込電流線へ供給可能であり、
前記第２のドライバトランジスタは、前記アドレス情報に応じて相補的に選択された、前記第１および第２の電圧の他方に応じた電流量を前記第１の書込電流線へ供給可能である、請求項１８に記載の半導体記憶装置。

【書類名】明細書
【発明の名称】半導体装置および半導体記憶装置
【技術分野】
【０００１】
この発明は、半導体装置および半導体記憶装置に関し、より特定的には、内部電流の設定を調整する機能を備えた半導体装置および半導体記憶装置に関する。
【背景技術】
【０００２】
半導体装置および半導体記憶装置において、待機モード（スタンバイモード）時のリーク電流や、所望の動作を正確に実行するための動作電流に代表される内部電流の設定を調整することが必要となる場合が多い。一般的には、このような内部電流を動作テスト（テストモード）時に評価して、当該評価結果に基づいて、内部電流の設定をヒューズカット等によって調整する構成が採用されている。
【０００３】
特に、バッテリ駆動を前提とする携帯機器へ搭載される半導体装置および半導体記憶装置については、低消費電力化の要求が大きくなっているので、待機モード時におけるリーク電流の抑制は重要な課題である。
【０００４】
スタンバイモード時におけるリーク電流を削減する構成としては、アドレス選択用のＭＯＳトランジスタのオフ状態でのリーク電流を所望の電流値以下とするように、ワード線の非選択レベルと、ビット線のローレベルの電位差を調整可能とするダイナミックランダムアクセスメモリ（ＤＲＡＭ）の構成が開示されている（たとえば特許文献１参照）。
【０００５】
一方で、近年、新たなメモリデバイスとしてＭＲＡＭ（Magnetic Random Access Memory）デバイスやＯＵＭ（Ovonic Unified Memories）デバイスが注目を浴びている。ＭＲＡＭデバイスは、半導体集積回路上に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能なメモリデバイスである。特に、近年では磁気トンネル接合（ＭＴＪ）を利用した薄膜磁性体で構成されたメモリセル（以下、「ＭＴＪメモリセル」とも称する）を用いることによって、ＭＲＡＭデバイスの性能が飛躍的に進歩することが発表されている。ＭＴＪメモリセルは、データ書込電流によって生じた磁界によって、書込データに応じた方向に磁化されてデータ記憶を実行する（たとえば非特許文献１参照）。
【０００６】
ＯＵＭデバイスを構成するメモリセル（以下、「ＯＵＭセル」とも称する）は、薄膜のカルコゲナイド層および発電素子によって形成される。当該カルコゲナイドは、データ書込電流が通過する発電素子からの加熱パターンに応じて、アモルファス化または結晶化される。カルコゲナイド層の電気抵抗は、アモルファス状態および結晶状態でそれぞれ異なる。したがって、ＯＵＭセルは、２通りの加熱パターンにそれぞれ対応する２通りのパターンのうちの書込データに応じた一方のパターンのデータ書込電流を供給されて、アモルファス化あるいは結晶化されることでデータ記憶を実行する（たとえば非特許文献２参照）。
【０００７】
これらのＭＲＡＭデバイスおよびＯＵＭデバイスでは、データ書込電流（内部電流）の供給に応答してデータ書込が実行されるため、データ書込電流の設定を精密に調整する必要がある。
【特許文献１】特開平１１－３３９４７０号公報
【非特許文献１】ロイ・ショイアーライン（Roy Scheuerlein）他６名、“各セルにＦＥＴスイッチおよび磁気トンネル接合を用いた、１０ｎｓ読出・書込の不揮発メモリアレイ(A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”，（米国），２０００年米国電気電子学

会国際固体回路会議・技術論文集ＴＡ７．２（2000 IEEE ISSCC Digest of Technical Papers, TA7.2），ｐ．１２８－１２９。

【非特許文献２】長広泰明「不揮発性メモリー最前線：フラッシュからＯＵＭへ米Ｉｎｔｅｌが描く将来像」，日経マイクロデバイス，日経ＢＰ社，２００２年３月号，ｐ．６５－７８。

【発明の開示】

【発明が解決しようとする課題】

【０００８】

上述したように内部電流の設定を調整する上で、テストモードにおける内部電流の評価、および評価結果に基づいた内部電流の設定調整を簡易な構成の下で実行可能であることが望まれる。すなわち、リーク電流やデータ書込電流については、テストモード時での評価回路や実動作時における設定調整回路の構成をできるだけ簡素化する必要がある。

【０００９】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、リーク電流やデータ書込電流等の内部電流についてのテストモード時における評価、および、通常動作モードや待機モード等の実動作時における設定の調整を、簡易な回路構成で実行可能な半導体装置および半導体記憶装置を提供することである。

【課題を解決するための手段】

【００１０】

この発明に従う半導体装置は、電源ノードから動作電流の供給を受ける内部回路と、動作電圧源と電源ノードの間に接続された電流スイッチと、内部回路のリーク電流が基準レベル以下であるかどうかを検知するためのリーク検知回路とを備え、リーク検知回路は、電流スイッチのオフ期間に、電源ノードへ基準レベルの電流を供給する基準電流供給部と、オフ期間において、電源ノードの電圧を所定電圧と比較するための電圧比較回路とを含む。

【００１１】

好ましくは、内部回路は、少なくとも１個の電界効果型トランジスタを含み、半導体装置は、内部回路のリーク電流が基準レベル以下であるかどうかを検知するためのリーク検知回路と、内部回路に含まれる電界効果型トランジスタのソース、ゲート、ドレインおよび基板のうちの１つに印加される内部電圧を制御するための内部電圧制御回路と、内部電圧を伝達する内部電圧配線とをさらに備え、内部電圧制御回路は、内部電圧配線の電圧と目標電圧とを比較するための内部電圧比較回路と、内部電圧比較回路での比較結果に基づいて、内部電圧を制御する電圧制御回路と、調整入力に応答して、目標電圧を変化させるための電圧調整部とを含む。

【００１２】

この発明の他の構成に従う半導体装置は、少なくとも１個の電界効果型トランジスタを含み、電源ノードから動作電流の供給を受ける内部回路と、内部回路のリーク電流が基準レベル以下であるかどうかを検知するためのリーク検知回路と、内部回路に含まれる電界効果型トランジスタのソース、ゲート、ドレインおよび基板のうちの１つに印加される内部電圧を制御するための内部電圧制御回路と、内部電圧を伝達する内部電圧配線をさらに備え、内部電圧制御回路は、内部電圧配線の電圧と目標電圧とを比較するための内部電圧比較回路と、内部電圧比較回路での比較結果に基づいて、内部電圧を制御する電圧制御回路と、調整入力に応答して、目標電圧を変化させるための電圧調整部とを含む。

【００１３】

この発明に従う半導体記憶装置は、各々がデータ書込電流の供給に応答してデータが書込まれる複数のメモリセルと、データ書込電流を駆動する、電界効果型トランジスタで構成された複数のトランジスタと、複数のトランジスタへ印加される内部電圧を制御する内部電圧制御回路と、内部電圧を伝達する内部電圧配線とをさらに備え、内部電圧制御回路は、内部電圧配線の電圧と目標電圧とを比較するための内部電圧比較回路と、内部電圧比較回路での比較結果に基づいて、内部電圧を制御する電圧制御回路と、調整入力に応答し

て、目標電圧を変化させるための電圧調整部とを含む。

【００１４】

この発明の他の構成に従う半導体記憶装置は、各々がデータ書込電流の供給に応答してデータが書込まれる複数のメモリセルと、複数のメモリセルの一部ごとに配置されデータ書込電流が第１および第２の方向のいずれかに流される第１の書込電流線と、データ書込電流を駆動する複数のトランジスタとを備え、複数のトランジスタは、第１の書込電流線に第１の方向の電流を駆動するための第１のドライバトランジスタと、第１の書込電流線に第２の方向の電流を駆動するための第２のドライバトランジスタとを含み、第１および第２のドライバトランジスタによってそれぞれ流される電流量を独立に調整可能な第１の電流調整部をさらに備える。

【発明の効果】

【００１５】

この発明では、以上説明したように、半導体装置内部を流れる内部電流そのものを測定することなく、簡易な回路構成によって、内部回路でのリーク電流を評価することができる。

【００１６】

また、内部回路中の電界効果型トランジスタ（ＭＯＳトランジスタ）へ印加される電圧を調整することによって、半導体装置の内部回路でのリーク電流を所定レベル以下へ制御することができる。

【００１７】

また、データ書込電流の供給に応答してデータ書込が実行されるメモリセルを備えた半導体記憶装置において、データ書込電流を駆動するトランジスタへ印加される電圧を制御することによって、データ書込電流を適正なレベルへ調整できる。したがって、データ書込電流をデータ書込マージンを確保するために必要なレベルとする一方で、過剰なデータ書込電流の供給による消費電力増大等を防止できる。

【００１８】

さらに、実際に作製されたメモリセルに、データ書込電流の方向に依存したデータ書込特性の非対称性が生じても、データ書込電流を適正に調整して、データ書込を安定的に行なうことができる。

【発明を実施するための最良の形態】

【００１９】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

【００２０】

［実施の形態１］

（全体構成）

本発明の実施の形態１に従う半導体装置の概要について図１～図３を用いて説明する。なお、以下の説明において、先頭に記号“／”が付された信号は、当該“／”を付さない信号を反転した信号であるものとする。

【００２１】

図１に示されるように、本発明の実施の形態１に従う半導体装置は、メモリコア部１０００とロジック回路ブロック１００１とを備える。メモリコア部１０００とロジック回路ブロック１００１とは、同一チップ１００２上に形成される。なお、図示しないが、ＳＲＡＭ、ゲートアレイ、ＦＰＧＡ、不揮発性ＲＡＭ、ＲＯＭ等も搭載され得る。

【００２２】

図２に示されるように、ロジック回路ブロック１００１とメモリコア部１０００とは、接続ノード２ａ～２ｍ，２ｐ～２ｒを介して信号の送受信を行なう。ロジック回路ブロック１００１からメモリコア部１０００に対して、コマンド、アドレス、データが送信され、これに従って、メモリコア部１０００からロジック回路ブロック１００１にデータが送信される。

【００２３】
ロジック回路ブロック１００１は、ピン１ａから外部クロック信号ＣＬＫを、ピン１ｂからコマンドＣＭＤを、ピン１ｄから基準電圧ｖｒｅｆを受ける。また、ピン１ｃを用いてデータＤＡＴの入出力を行なう。さらに、ピン１ｅからは、テストモード時にメモリコア部１０００での動作テスト結果を示すためのテスト出力ＴＯＵＴが出力される。ピン１ｆには、テストモード時に動作テストで使用する外部テスト電圧Ｖｅｘｔが印加される。ピン１ｇには、メモリコア部１０００内のプログラム回路に情報を記憶させるためのプログラム入力ＰＲＧＩＮが入力される。
【００２４】
ロジック回路ブロック１００１は、入力信号に論理処理を施し、メモリコア部１０００に対応する信号を出力する。なお、ピン１ｄで受ける基準電圧ｖｒｅｆおよび外部テスト電圧Ｖｅｘｔは、そのままノード２ｍおよび２ｐへそれぞれ出力される。
【００２５】
図２に示されるように、メモリコア部１０００には、接続ノード２ａ～２ｋ，２ｐ，２ｒを介して以下に示す信号が供給される。ノード２ａから、クロック信号ＣＬＫ、／ＣＬＫが供給される。ノード２ｂから、クロックイネーブル信号ＣＫＥが供給される。ノード２ｃからは、制御信号である、ワード線の活性化を示す信号ＲＯＷＡ、ワード線のリセット（プリチャージ）に関連する信号ＰＣ、コラム系回路のリード動作に関連する信号ＲＥＡＤ、コラム系回路のライト動作に関連する信号ＷＲＩＴＥ、オートプリチャージ動作を指示する信号ＡＰＣ、リフレッシュ動作に関連する信号ＲＥＦ、ならびにセルフリフレッシュモードに関する信号ＳＲＩおよびＳＷＯが供給される。
【００２６】
最大で信号ＲＯＷＡ、信号ＰＣ、信号ＲＥＡＤ、信号ＷＲＩＴＥの合計４コマンドを同時に発することが可能である。
【００２７】
ノード２ｄから、アクトバンク信号ＡＢ０～ＡＢ７が供給される。アクトバンク信号は、ロウ系およびコラム系のそれぞれのアクセスにおいて、アクセス対象となるバンクを指定する。ノード２ｅから、プリチャージバンク信号ＰＢ０～ＰＢ７が供給される。ノード２ｆから、リードバンク信号ＲＢ０～ＲＢ７が供給され、ノード２ｇから、ライトバンク信号ＷＢ０～ＷＢ７が供給される。
【００２８】
ノード２ｈから、アクトアドレス信号ＡＡ０～ＡＡ１０が供給され、ノード２ｉから、リードアドレス信号ＲＡ０～ＲＡ５が供給され、ノード２ｊから、ライトアドレス信号ＷＡ０～ＷＡ５が供給される。
【００２９】
ノード２ｋからは、入力データＤＩ０～ＤＩ５１１が供給される。なお、メモリコア部１０００から出力される出力データＤＱ０～ＤＱ５１１は、ノード２１を介してロジック回路ブロック１００１に送信される。
【００３０】
ノード２ｐからは、ピン１ｆおよび１ｇにそれぞれ与えられた外部テスト電圧Ｖｅｘｔおよびプログラム入力ＰＲＧＩＮがメモリコア部１０００へ伝達される。ノード２ｑは、テストモード時にメモリコア部１０００から出力されたテスト出力ＴＯＵＴをピン１ｅへ伝達する。ノード２ｒからは、所定のＢＩＳＴ（Built In Self Test）を起動するためのＢＩＳＴ信号がメモリコア部１０００へ供給される。
【００３１】
図３を参照して、メモリコア部１０００は、バッファ３ａ～３ｌ、モードデコーダ４、アクトバンクラッチ５ｄ、プリチャージバンクラッチ５ｅ、リードバンクラッチ５ｆ、ライトバンクラッチ５ｇ、ロウアドレスラッチ５ｈ、リードアドレスラッチ５ｉ、ライトアドレスラッチ５ｊ、セルフリフレッシュタイマ６、リフレッシュアドレスカウンタ７、マルチプレクサ８、プリデコーダ９、１０、１１、モードレジスタ１２、基準電圧制御回路

１３、同期回路１４、データ入出力回路１５、メモリ部２０、Ｉ／Ｏポート２３およびグローバルデータバスＧＩＯ１，ＧＩＯ２を含む。

【００３２】

バッファ３ａは、クロック信号ＣＬＫ、／ＣＬＫを受けて内部クロックｉｎｔ．ＣＬＫ、／ｉｎｔ．ＣＬＫを出力する。バッファ３ｃ～３ｋのそれぞれは、基準電圧制御回路１３から基準電圧ｖｒｅｆの供給を受ける。バッファ３ｂは、クロックイネーブル信号ＣＫＥを受ける。バッファ３ｃは、バッファ３ｂの出力に応じて動作し、ノード２ｃで受ける制御信号を取込む。モードデコーダ４は、バッファ３ｃの出力を受けて、内部制御信号（信号ＲＯＷＡ、信号ＣＯＬＡ、信号ＰＣ、信号ＲＥＡＤ、信号ＷＲＩＴＥ、信号ＡＰＣおよび信号ＳＲ等）を出力する。

【００３３】

アクトバンクラッチ５ｄは、バッファ３ｄを介してアクトバンク信号ＡＢ０～ＡＢ７をラッチする。プリチャージバンクラッチ５ｅは、バッファ３ｅを介して、プリチャージバンク信号ＰＢ０～ＰＢ７をラッチする。リードバンクラッチ５ｆは、バッファ３ｆを介して、リードバンク信号ＲＢ０～ＲＢ７をラッチする。ライトバンクラッチ５ｇは、バッファ３ｇを介してライトバンク信号ＷＢ０～ＷＢ７をラッチする。ロウアドレスラッチ５ｈは、バッファ３ｈを介してアクトアドレス信号ＡＡ０～ＡＡ１０をラッチする。リードアドレスラッチ５ｉは、バッファ３ｉを介してリードアドレス信号ＲＡ０～ＲＡ５をラッチする。ライトアドレスラッチ５ｊは、バッファ３ｊを介してライトアドレス信号ＷＡ０～ＷＡ５をラッチする。

【００３４】

バッファ３ｋは、入力データＤＩ０～ＤＩ５１１を取込む。バッファ３１は、データ入出力回路１５から出力されるデータを取込み、ノード２１に出力する。

【００３５】

セルフリフレッシュタイマ６は、モードデコーダ４から出力される信号ＳＲを受けて動作を開始する。リフレッシュアドレスカウンタ７はセルフリフレッシュタイム６の指示に従い、リフレッシュ動作を行なうためのアドレスを発生する。マルチプレクサ８は、通常動作ではロウアドレスラッチ５ｈの出力を、セルフリフレッシュ動作ではリフレッシュアドレスカウンタ７の出力を出力する。プリデコーダ９は、マルチプレクサ８から受けるロウアドレスをデコードする。プリデコーダ１０は、リードアドレスラッチ５ｉから受けるコラムアドレスをデコードする。プリデコーダ１１は、ライトアドレスラッチ５ｊから受けるコラムアドレスをデコードする。モードレジスタ１２は、ロウアドレスラッチ５ｈの出力に応じて、所定の動作モードに対応する情報を（たとえば、バースト長に対応するデータ等）を保持する。

【００３６】

グローバルデータバスＧＩＯ１は、メモリ部２０から読出されるデータをデータ入出力回路１５に伝送する。グローバルデータバスＧＩＯ２は、データ入出力回路１５で受ける入力データをメモリ部２０に伝送する。図示しないが、メモリ部２０は、アクトバンク信号ＡＢ０～ＡＢ７によってそれぞれ活性化される８個のバンクに分割されているものとする。さらに、バンクのそれぞれに対して、ロウデコーダおよびコラムデコーダが配置されており、ロウデコーダは、プリデコーダ９の出力に応答して対応するロウ方向の選択を行ない、コラムデコーダは、プリデコーダ１０および１１の出力に応答して、対応するコラム方向の選択を行なうものとする。

【００３７】

各バンクは、バンクアドレスにより制御される。バンクアドレスは、それぞれのコマンドに対応して存在する。たとえば、信号ＲＯＷＡとアクトバンク信号ＡＢｎ（ｎ＝０～７）とにより、対応するバンクのワード線が活性化される。信号ＰＣとプリチャージバンク信号ＰＢｎ（ｎ＝０～７）とにより、対応するバンクのワード線がリセットされる。信号ＲＥＡＤとリードバンク信号ＲＢｎ（ｎ＝０～７）とにより、対応するバンクのセンスアンプからデータがリードされる。また、信号ＷＲＩＴＥとライトバンク信号ＷＢｎ（ｎ＝

０～７）とにより、対応するバンクのセンスアンプにデータがライトされる。メモリ部２０は、Ｉ／Ｏポート２３を介してグローバルデータバスＧＩＯ１、ＧＩＯ２とデータの受渡しを行なう。

【００３８】

同期回路１４は、ＰＬＬ回路等で構成され、テストモードにおいて内部テストクロック（ＢＩＳＴクロック）を発生する。テストモード以外では、ピン１ｄ（外部）から入力される基準電圧ｖｒｅｆが入力バッファ３ｃ～３ｋのスレッショルド電圧を決定する。この際、テスト系回路である同期回路１４は停止状態にある。テストモードにおいては、ピン１ｄは、同期回路１４に電源電圧を供給するためのピンとして使用する。この際、バッファに対しては、内部で発生した基準電圧を供給する。

【００３９】

メモリコア部１０００は、テストモードにおいては、たとえば、バッファ３ａの出力する内部クロックｉｎｔ．ＣＬＫに代わり当該ＢＩＳＴクロックを基準に動作する。または、動作テストを実行する一部の回路が、内部クロックｉｎｔ．ＣＬＫに代わり当該ＢＩＳＴクロックを基準に動作する。

【００４０】

メモリコア部１０００は、ＢＩＳＴ回路３０と、プログラム回路３１と、テストメモリ３５と、内部電圧制御回路４０と、内部電圧配線４１と、リーク検知回路４５とをさらに備える。

【００４１】

ＢＩＳＴ回路３０は、ＢＩＳＴ信号に応答して、予め設定された所定の動作テストの実行を制御する。テストメモリ３５は、当該動作テストの結果を示すデータを一時的に記憶するとともに、テスト出力ＴＯＵＴとして外部へ出力する。プログラム回路３１は、メモリコア部１０００の実動作時における各種パラメータの設定に用いられるプログラム情報を不揮発的に記憶する。当該プログラム情報は、プログラム入力ＰＲＧＩＮに応答して、ヒューズ素子等のプログラム素子に書込まれる。当該プログラム情報は、たとえば、動作テストのテスト出力ＴＯＵＴを解析して得ることができる。

【００４２】

内部電圧制御回路４０は、内部電圧配線４１によって伝達される内部電圧を制御する。内部電圧配線４１は、内部電圧をメモリコア部１０００内の内部回路群へ供給する。内部電圧制御回路４０によって制御される内部電圧レベルは、プログラム回路３１に記憶されたプログラム情報に基づいて設定される。

【００４３】

リーク検知回路４５は、メモリコア部１０００内の内部回路群でスタンバイモード時に発生するリーク電流が基準レベル（許容レベル）であるか否かを検知するために設けられる。

【００４４】

（内部電圧の制御および動作テスト構成）

図４は、図３に示されたテストメモリ３５および内部電圧制御回路４０の構成を示すブロック図である。

【００４５】

まず、内部電圧の制御構成について説明する。

【００４６】

図４を参照して、内部電圧制御回路４０は、内部回路群４２を構成するＮチャネルＭＯＳ（Ｎ－ＭＯＳ）トランジスタへ基板電圧として印加される内部電圧Ｖｂｂを制御するものとする。したがって、内部電圧Ｖｂｂは一般的には、負電圧に設定される。内部電圧Ｖｂｂは、内部電圧配線４１を介して内部回路群４２へ供給される。ここで、内部回路群４２は、内部電圧Ｖｂｂを受けて動作するメモリコア部１０００内の回路群を総称的に示すものである。また、本実施の形態において、ＭＯＳトランジスタは、電界効果型トランジスタの代表例として示される。

【００４７】
図４を参照して、内部電圧制御回路４０は、内部電圧Ｖｂｂを制御するための、分圧回路４６、セレクタ回路５０、電圧比較器５５および電圧発生回路６０を含む。
【００４８】
分圧回路４６は、電源電圧Ｖｃｃおよび内部電圧配線４１の間に、ノードＮｄを介して接続された固定抵抗回路４７および可変抵抗回路４８を有する。なお、以下、本明細書の図面中では、単独の記号「Ｒ」は、「抵抗素子」であることを示すものとし、ＲＢや１Ｒ，Ｒ２等のように、「Ｒ」に添字や数字を付する場合には、抵抗値を示すものとする。
【００４９】
分圧回路４６は、内部電圧Ｖｂｂと電源電圧Ｖｃｃとの電圧差を、固定抵抗回路４７および可変抵抗回路４８の抵抗比に応じた分圧比Ｋ（Ｋ：０＜Ｋ＜１の実数）で分圧して、内部電圧Ｖｂｂに応じた検出電圧ＶｄｉｖをノードＮｄに生成する。可変抵抗回路４８の抵抗値は、セレクタ回路５０から伝達された調整信号Ｐ０～Ｐ３に応じて変化する。すなわち、分圧比Ｋの設定も、調整信号Ｐ０～Ｐ３に応じて調整可能である。
【００５０】
セレクタ回路５０は、ＢＩＳＴ回路３０からの切換信号ＣＨＰに応答して、テストモード時には、ＢＩＳＴ回路３０によって生成された調整信号Ｐ０～Ｐ３を分圧回路４６へ供給する。一方、テストモード時以外の実動作時には、プログラム回路３１にプログラムされた調整信号Ｐ０～Ｐ３を可変抵抗回路４８へ供給する。なお、実動作時に使用する調整信号Ｐ０～Ｐ３については、通常動作時（ノーマルモード）用と、待機動作時（スタンバイモード）用とを独立してプログラム回路３１にプログラムしてもよい。
【００５１】
次に、分圧回路の構成ならびに分圧比の設定および調整について説明する。
【００５２】
図５は、図４に示された分圧回路４６の構成を詳細に示す回路図である。
【００５３】
図５を参照して、図４に示した固定抵抗回路４７は電流源として動作し、ノードＮｄには、可変抵抗回路４８の抵抗値ΣＲに応じた検出電圧Ｖｄｉｖが生成される。上述の分圧比Ｋを用いて、検出電圧Ｖｄｉｖは下式（１）で示される。
【００５４】
Ｖｄｉｖ＝（Ｖｃｃ－Ｖｂｂ）・Ｋ　（ただし、０＜Ｋ＜１）…（１）
可変抵抗回路４８は、ノードＮｄおよび内部電圧配線４１の間に直列に接続された抵抗素子７０～７４と、抵抗素子７０～７３にそれぞれ対応して設けられるバイパススイッチ８０～８３を含む。
【００５５】
抵抗素子７０の抵抗値をＲｕとすると、抵抗素子７１、７２および７３の電気抵抗は、それぞれ２Ｒｕ（Ｒｕの２倍）、４ＲｕおよびＲｕである。さらに抵抗素子７４の抵抗値はＲＢである。
【００５６】
バイパススイッチ８０～８３は、抵抗素子７０～７３にそれぞれ並列に接続される。バイパススイッチ８０は、調整信号Ｐ０がローレベル（“０”）のときにオンして、抵抗素子７０のバイパス経路を形成する。一方で、バイパススイッチ８０は、調整信号Ｐ０がハイレベル（“１”）のときはオフされる。なお以下においては、２値的な電圧状態であるハイレベルおよびローレベルのそれぞれを、Ｈレベルおよびレベルとも表記する。
【００５７】
バイパススイッチ８１および８２は、バイパススイッチ８０と同様に、対応する調整信号Ｐ１およびＰ２がＬレベルのときにそれぞれオンして、抵抗素子７１および７２のバイパス経路をそれぞれ形成する。これに対して、バイパススイッチ８３は、対応する調整信号Ｐ３がＨレベルのときにオンして、抵抗素子７３のバイパス経路を形成する。
【００５８】

バイパススイッチ８０～８３の各々によって形成されるバイパス経路の抵抗値は、Ｒｕと比較して無視できるものとする。この結果、可変抵抗回路４８の抵抗値ΣＲは、４ビットの調整信号Ｐ０～Ｐ３に応答して、１６段階に段階的に変化する。

【００５９】

図６は、調整信号Ｐ０～Ｐ３の設定と動作テスト結果例を示す概念図である。

【００６０】

図６を参照して、調整レベル“－８”のときには、調整信号（Ｐ０，Ｐ１，Ｐ２，Ｐ３）＝（０，０，０，１）に設定されるので、バイパススイッチ８０～８３の各々がオンする。この結果、ΣＲ＝ＲＢに設定される。

【００６１】

調整レベル“－７”から“－１”までは、調整レベルが１増えるごとに、調整信号Ｐ０～Ｐ２が、Ｐ０を最下位ビットとしてインクリメントされる。これに応じて、ΣＲは“ＲＢ＋Ｒｕ”から“ＲＢ＋７Ｒｕ”まで、＋Ｒｕずつ変化する。

【００６２】

調整レベル“０”では、調整信号（Ｐ０，Ｐ１，Ｐ２，Ｐ３）＝（０，０，０，０）に設定されるので、バイパススイッチ８０～８２がオンして、バイパススイッチ８３がオフする。この結果、ΣＲ＝ＲＢ＋８Ｒｕに設定される。

【００６３】

調整レベル“＋１”から“＋７”までは、調整レベルが１増えるごとに、調整信号Ｐ０～Ｐ２が、Ｐ０を最下位ビットとしてインクリメントされる。これに応じて、ΣＲは“ＲＢ＋９Ｒｕ”から“ＲＢ＋１５Ｒｕ”まで、＋Ｒｕずつ変化する。

【００６４】

このようにして、可変抵抗回路４８の抵抗値は、４ビットの調整信号Ｐ０～Ｐ３に応答して、“ＲＢ”から“ＲＢ＋１５Ｒ”までの間で24＝１６段階に設定可能である。これにより、分圧回路４６の分圧比Ｋも、調整信号Ｐ０～Ｐ３に応じて１６段階に設定可能である。

【００６５】

再び図４を参照して、電圧比較器５５は、基準電圧発生回路５２によって固定的に生成された基準電圧Ｖｒ１と、分圧回路４６によって生成された検出電圧Ｖｄｉｖとの比較によって、基準電圧Ｖｒ１と内部電圧Ｖｂｂとを実質的に比較する。具体的には、電圧比較器５５は、検出電圧Ｖｄｉｖが基準電圧Ｖｒ１よりも低いときには、内部電圧Ｖｂｂが目標レベルより高いと判断して制御信号ＶＡＣＴをＨレベルへ活性化し、検出電圧Ｖｄｉｖが基準電圧Ｖｒ１よりも高いときには、内部電圧Ｖｂｂが目標レベルよりも低いと判断して、制御信号ＶＡＣＴをＬレベルへ非活性化する。

【００６６】

すなわち、分圧回路４６および電圧比較器５５は、基準電圧Ｖｒ１と分圧回路４６での分圧比Ｋとによって下式（２）で示される目標電圧Ｖｔｒｇと内部電圧Ｖｂｂとを比較する。

【００６７】

Ｖｔｒｇ＝Ｖｃｃ－Ｖｒ１／Ｋ　…（２）

電圧発生回路６０は、電圧比較器５５からの制御信号ＶＡＣＴに応答して動作する。具体的には、電圧発生回路６０は、制御信号ＶＡＣＴの活性化に応答して動作して、内部電圧配線４１に負電荷を供給する。一方、制御信号ＶＡＣＴの非活性時は、電圧発生回路６０は非動作状態となり、内部電圧配線４１への負電荷の供給は実行されない。電圧発生回路６０には、負電荷を供給するための一般的なチャージポンプ回路の構成を適用可能である。このように構成された内部電圧の制御系によって、内部電圧Ｖｂｂは、目標電圧Ｖｔｒｇ以下に維持される。

【００６８】

このように、分圧回路４６によって内部電圧Ｖｂｂを検出電圧Ｖｄｉｖに変換して内部電圧制御を実行することにより、基準電圧Ｖｒ１を正電圧に設定しても、負電圧の内部電

圧Ｖｂｂを制御することができる。一般に、負電圧レベルを基準電圧として正確に設定することは困難であるため、内部電圧が負電圧である場合には、上述したような構成が有利である。

【００６９】

次に、内部電圧制御に関するテストモードでの動作テスト構成を説明する。

【００７０】

内部電圧制御回路４０は、さらに、電圧比較器６５と、伝達ゲート６６と、ラッチ回路６７とを含む。

【００７１】

電圧比較器６５は、テストモード時に、電圧比較器５５の出力をさらに増幅して電圧比較信号ＶＣＭＰを生成する。伝達ゲート６６は、テストモード時に、ＢＩＳＴ回路３０からのテスト制御信号ＴＣＭＰに応答して、電圧比較器５５の出力を電圧比較器６５へ伝達する。ラッチ回路６７は、電圧比較器６５が出力した電圧比較信号ＶＣＭＰを一時的に保持する。

【００７２】

テストモード時には、テスト制御信号ＴＳＴに応答してオンするスイッチ５１によって、内部電圧配線４１は、外部テスト電圧Ｖｅｘｔが伝達されるノード２ｒと接続される。外部テスト電圧Ｖｅｘｔは、内部電圧Ｖｂｂの目標レベル（たとえば設計値）に対応して設定される。

【００７３】

一方、電圧発生回路６０の動作はＢＩＳＴ回路３０からのテスト制御信号／ＴＳＴに応答して停止される。すなわち、テストモード時には、内部電圧配線４１上の内部電圧Ｖｂｂは、外部から強制的に目標レベルへ設定される。

【００７４】

この状態の下で、ＢＩＳＴ回路３０は、図６に示した調整レベル“－８”～“＋７”のそれぞれを実現するように、調整信号Ｐ０～Ｐ３を段階的に変化させる。それぞれの調整レベルにおいて、内部電圧Ｖｂｂ（すなわち外部テスト電圧Ｖｅｘｔ）に応じた検出電圧Ｖｄｉｖと基準電圧Ｖｒ１との比較結果を示す電圧比較信号ＶＣＭＰを監視することによって、実動作時に内部電圧Ｖｂｂを目標レベルに維持可能である所望の調整信号Ｐ０～Ｐ３の設定を求めることができる。

【００７５】

次に、上述した所望の調整信号Ｐ０～Ｐ３を効率的に外部に出力するためのテスト構成について説明する。

【００７６】

再び図４を参照して、テストメモリ３５は、書込制御部３７と、メモリ部３６と、読出制御部３８と、スイッチ３９とを有する。

【００７７】

スイッチ３９は、ラッチ回路６７と書込制御部３７との間に設けられ、ＢＩＳＴ回路からのテスト制御信号ＴＲＡに応答して、ラッチ回路６７に保持された電圧比較信号ＶＣＭＰを書込制御部３７へ伝達する。

【００７８】

図７は、書込制御部３７の構成を示すブロック図である。

【００７９】

図７を参照して、書込制御部３７は、ラッチ回路６７に保持された電圧比較信号ＶＣＭＰを一時的に保持するためのラッチ回路９１，９２と、ラッチ回路９１，９２の保持データの一致比較を実行する論理回路９３と、ＢＩＳＴ回路３０によって設定された調整信号Ｐ０～Ｐ３のレベルを保持するラッチ回路９５と、論理回路９３の出力に応答してラッチ回路９５に保持された調整信号Ｐ０～Ｐ３をメモリ部３６へ書込む書込回路９６とを有する。

【００８０】

ラッチ回路９５に保持される調整信号Ｐ０～Ｐ３は、図６に示したそれぞれの調整レベルに対応して順次更新される。それぞれの調整レベルにおいて、テスト結果として得られた電圧比較信号ＶＣＭＰは、調整レベルが変更されるごとに、ラッチ回路９１および９２へ交互に出力される。たとえば、調整レベル“－８”での電圧比較信号ＶＣＭＰがラッチ回路９１へ出力されると、次の調整レベル“－７”での電圧比較信号ＶＣＭＰは、ラッチ回路９２へ出力される。さらに次の調整レベル“－６”では、電圧比較信号ＶＣＭＰはラッチ回路９１へ出力され、ラッチ回路９１の保持内容が更新される。

【００８１】

図６には、このような動作テスト結果の一例が併せて示されている。

【００８２】

再び図６を参照して、調整信号Ｐ０，Ｐ１，Ｐ２，Ｐ３＝（０，０，０，１）に設定される調整レベル“－８”では分圧比Ｋが最小となり、調整信号Ｐ０，Ｐ１，Ｐ２，Ｐ３＝（１，１，１，０）に設定される調整レベル“＋７”では分圧比Ｋが最大となる。それらの中間の調整レベル“－７”～“＋６”では、調整レベルが１段階すつ上昇するたびに、分圧比Ｋも大きくなる。

【００８３】

なお、実動作時には、分圧比が小さく、すなわち検出電圧Ｖｄｉｖが相対的に低くなるほど、電圧発生回路６０の動作頻度が上昇するので、内部電圧Ｖｂｂはより低く（負電圧側に）設定される。

【００８４】

テストモード時には、調整レベル“－８”～“＋７”を順に実現するように、調整信号Ｐ０～Ｐ３を順次更新していくと、内部電圧Ｖｂｂを外部テスト電圧Ｖｅｘｔ（すなわち、実動作時の目標レベル）に設定するのに必要な分圧比が実現された調整レベルにおいて、電圧比較信号ＶＣＭＰがＨレベルからＬレベルへ変化する。そして、その調整レベルにおいて、図６に示した論理回路（ＥＸ－ＯＲ）９３の出力がＨレベルへ設定される。

【００８５】

図６に示した動作テスト結果例では、調整レベル“－８”～“－３”では、電圧比較信号ＶＣＭＰはＨレベルに設定され、調整レベル“－２”～“＋７”では、電圧比較信号ＶＣＭＰはＬレベルに設定される。したがって、論理回路（ＥＸ－ＯＲ）９３の出力は、調整レベル“－２”ではＨレベルに設定され、それ以外の調整レベルでは、Ｌレベルに設定される。

【００８６】

この結果、図７に示した書込制御部３７によって、調整レベル“－３”に対応する調整信号（Ｐ０，Ｐ１，Ｐ２，Ｐ３）＝（１，０，１，１）がメモリ部３６へ書込まれ記憶される。メモリ部３６へ記憶された調整信号Ｐ０～Ｐ３は、ＢＩＳＴ回路３０からのテスト制御信号ＴＲＢに応答して、テスト出力ＴＯＵＴとして、図２および図３に示した経路を介して外部へ出力される。

【００８７】

得られた動作テスト結果に基づいたプログラム入力ＰＲＧＩＮをピン１ｇへ印加することにより、プログラム回路３１には、実動作時の内部電圧Ｖｂｂに関する制御に用いる調整信号（Ｐ０，Ｐ１，Ｐ２，Ｐ３）＝（１，０，１，１）をプログラムすることができる。この結果、内部電圧制御回路４０は、実動作時において、内部電圧Ｖｂｂをテストモード時の外部テスト電圧Ｖｅｘｔのレベル以下へ制御することができる。

【００８８】

図８は、テストモード時における内部電圧制御に関する動作テストを説明するタイミングチャートである。

【００８９】

図８を参照して、動作テストは、図６に示した調整レベル“－８”～“＋７”にそれぞれ対応する複数のテストサイクルから構成される。図８には、先頭の３つのテストサイクルＴＣ１～ＴＣ３が代表的に示される。

【００９０】
上述したように、テストモード時には、一定周期のＢＩＳＴクロックが生成され、内部電圧制御に関する動作テストも当該ＢＩＳＴクロックに応答して実行される。各テストサイクルにおいて、ＢＩＳＴクロック数がカウントされ、テストサイクルの開始時に活性化されるトリガ信号ＴＲ０の生成から所定カウント数Ｃ１のクロックサイクル経過後にトリガ信号ＴＲ１が生成され、トリガ信号ＴＲ１の生成からさらに所定カウント数Ｃ２のクロックサイクル経過後にトリガ信号ＴＲ２が生成される。
【００９１】
トリガ信号ＴＲ０の生成に応答して、ＢＩＳＴ回路３０は、当該テストサイクルに対応した調整レベルを実現する調整信号Ｐ０～Ｐ３を設定する。内部電圧制御回路４０は、設定された調整信号Ｐ０～Ｐ３に対応した動作を開始する。
【００９２】
所定カウント数Ｃ１は、分圧回路４６によって生成される検出電圧Ｖｄｉｖが安定し、電圧比較器５５の出力が所定の振幅に達するタイミングに対応して設定される。このタイミングで、ＢＩＳＴ回路からのテスト制御信号ＴＣＭＰが活性化されて、当該テストサイクルに対応する電圧比較信号ＶＣＭＰが生成される。
【００９３】
さらに、トリガ信号ＴＲ２の生成に応答して、ＢＩＳＴ回路３０は、テスト制御信号ＴＲＡを活性化する。これにより、当該テストサイクルでの電圧比較信号ＶＣＭＰはテストメモリ３５へ伝達される。
【００９４】
テストサイクルＴＣ２以降においても、各テストサイクルにおいて、対応する調整レベルを実現するために調整信号Ｐ０～Ｐ３が更新された後で、同様の動作が実行される。この結果、図６に示した調整レベル“－８”～“＋７”にそれぞれ対応するテストサイクルが実行されて、実動作時に用いられるべき、すなわち目標レベルの内部電圧Ｖｂｂを得るための調整信号Ｐ０～Ｐ３の設定を求めることができる。
【００９５】
（内部回路群でのリーク電流を検知する構成）
次に、内部回路群におけるリーク電流を評価するための構成について説明する。
【００９６】
図９は、図３に示されたリーク検知回路４５の構成を示す回路である。
【００９７】
図９を参照して、リーク検知回路４５は、スタンバイモード時に内部回路群４２ａ，４２ｂのそれぞれでのリーク電流が基準レベル（許容レベル）以下であるかどうかを検知するために設けられる。
【００９８】
内部回路群４２ａは、電源ノード４３ａから動作電流の供給を受ける。電源ノード４３ａには、電圧平滑キャパシタ４４ａが設けられている。同様に、内部回路群４２ｂは、電源ノード４３ｂから動作電流の供給を受ける。電源ノード４３ｂには、電圧平滑キャパシタ４４ｂが設けられている。以下においては、電源ノード４３ａおよび４３ｂの電圧を内部動作電圧Ｖｉｎ（ａ）、Ｖｉｎ（ｂ）ともそれぞれ称する。
【００９９】
リーク検知回路４５は、電流スイッチ１０２ａ，１０２ｂと、テスト電流調整部１１０と、テストモード時にテスト電流Ｉｔに応じた電流を電源ノード４３ａおよび４３ｂへ供給するためのカレントミラー回路とを含む。当該カレントミラー回路は、Ｎ－ＭＯＳトランジスタ１２０，１２２と、ＰチャネルＭＯＳ（Ｐ－ＭＯＳ）トランジスタ１１６，１２４，１２６ａ，１２６ｂとを有する。本実施の形態では、カレントミラー回路によって、テスト電流Ｉｔと同レベルの電流が電源ノード４３ａおよび４３ｂへ供給されるものとする。
【０１００】

電流スイッチ１０２ａおよび１０２ｂは、内部回路群４２ａ，４２ｂの動作電源電圧である電源電圧Ｖｃｃと、電源ノード４３ａおよび４３ｂとの間にそれぞれ電気的に結合される。電流スイッチ１０２ａおよび１０２ｂは、たとえば、制御信号／ＣＫＥ１および／ＣＫＥ２をそれぞれのゲートに受けるＰ－ＭＯＳトランジスタで構成される。制御信号／ＣＫＥ１および／ＣＫＥ２は、内部回路群４２ａおよび４２ｂの動作時において、Ｌレベルへ活性化される。したがって、スタンバイモードおよびテストモードでは、制御信号／ＣＫＥ１および／ＣＫＥ２の各々は、Ｈレベルへ非活性化される。

【０１０１】

テスト電流調整部１１０は、電源電圧ＶｃｃとノードＮ１の間に接続された抵抗素子１１１と、ノードＮ１および接地電圧ＧＮＤの間に接続された抵抗素子１１２と、ノードＮ１およびＮ２の電圧差を増幅してノードＮ３に出力する電圧比較器１１３と、ノードＮ２および接地電圧ＧＮＤの間に接続された可変抵抗回路１１５と、Ｐ－ＭＯＳトランジスタ１１４とを含む。トランジスタ１１４は電源電圧ＶｃｃおよびノードＮ２の間に接続される。トランジスタ１１４のゲートはノードＮ３と接続される。

【０１０２】

ノードＮ１には、抵抗素子１１１および１１２の抵抗値Ｒ１およびＲ２に応じた所定電圧Ｖｒ２が生成される。可変抵抗回路１１５は、図５に示した可変抵抗回路４８と同様の構成を有し、調整信号Ｐ０～Ｐ３に代えて、調整信号ＴＰ０～ＴＰ３をＢＩＳＴ回路３０から受ける。したがって、可変抵抗回路１１５の抵抗値Ｒｔは、可変抵抗回路４８と同様に、調整信号ＴＰ０～ＴＰ３に応答して１６段階に設定することが可能である。

【０１０３】

テスト電流調整部１１０においては、ノードＮ２が仮想的にノードＮ１と接続されて、ノードＮ２の電圧レベルは所定電圧Ｖｒ２と等しくなる。この結果、トランジスタ１１４および可変抵抗回路１１５の通過電流で与えられるテスト電流Ｉｔは、所定電圧Ｖｒ２と可変抵抗回路１１５の抵抗値Ｒｔに基づき、Ｉｔ＝Ｖｒ２／Ｒｔに設定される。

【０１０４】

したがって、テスト電流調整部１１０は、ＢＩＳＴ回路３０からの調整信号ＴＰ０～ＴＰ３に応じて、テスト電流Ｉｔを１６段階に可変設定することができる。

【０１０５】

トランジスタ１１６は、電源電圧ＶｃｃおよびノードＮ４の間に接続され、トランジスタ１２０は、ノードＮ４および接地電圧ＧＮＤの間に接続され、トランジスタ１２２は、ノードＮ５および接地電圧ＧＮＤの間に接続される。トランジスタ１１６のゲートは、ノードＮ３と接続され、トランジスタ１２０および１２２の各ゲートは、ノードＮ４と接続される。トランジスタ１２４は、電源電圧ＶｃｃおよびノードＮ５の間に接続され、そのゲートはノードＮ５と接続される。

【０１０６】

トランジスタ１２６ａは、電源電圧Ｖｃｃおよび電源ノード４３ａの間に接続され、トランジスタ１２６ｂは、電源電圧Ｖｃｃおよび電源ノード４３ｂの間に接続される。トランジスタ１２６ａおよび１２６ｂの各ゲートは、ノードＮ５と接続される。

【０１０７】

この結果、トランジスタ１２６ａおよび１２６ｂは、テスト電流調整部１１０によって調整されたテスト電流Ｉｔを電源ノード４３ａおよび４３ｂへそれぞれ供給することができる。テストモード時には、電流スイッチ１０２ａおよび１０２ｂがオフされた状態で、トランジスタ１２６ａおよび１２６ｂによるテスト電流Ｉｔの電源ノード４３ａ，４３ｂへの供給が実行される。

【０１０８】

この際にテスト電流Ｉｔは、内部回路群４２ａおよび４２ｂにおけるリーク電流の規格値（許容値）に対応して設定される。したがって、テストモード時における電源ノード４３ａおよび４３ｂの内部動作電圧Ｖｉｎ（ａ）およびＶｉｎ（ｂ）は、内部回路群４２ａおよび４２ｂのリーク電流が規格値を超えない場合には、電源電圧Ｖｃｃと電流トランジ

スタ１２６ａおよび１２６ｂのオン抵抗とによって決まる所定電圧Ｖｒｒを下回ることがない。

【０１０９】

一方、内部回路群４２ａおよび４２ｂにおけるリーク電流が規格値を超えてしまった場合には、内部動作電圧Ｖｉｎ（ａ）またはＶｉｎ（ｂ）は所定電圧Ｖｒｒを下回ってしまう。

【０１１０】

したがって、テストモード時において、ノードＮ６の電圧と所定電圧Ｖｒｒとを比較するための電圧比較器１３０と、ノードＮ６と電源ノード４３ａおよび４３ｂを選択的に接続可能なスイッチ１３７とをさらに設けることによって、内部回路群４２ａおよび４２ｂのリーク電流が規格値を超えているかどうかを、電圧比較器１３０の出力信号ＶＬＥＡＫによって判定することができる。

【０１１１】

ラッチ回路１３５は、電圧比較器１３０からの出力信号ＶＬＥＡＫを一時的に保持するために設けられる。ラッチ回路１３５に保持された出力信号ＶＬＥＡＫは、図４に示した電圧比較信号ＶＣＭＰと同様に、テストメモリ３５を介してテスト出力ＴＯＵＴとして外部へ出力する構成とすることができる。

【０１１２】

このように、実施の形態１に従う構成においては、リーク検知回路４５を設けることによって、半導体装置内部を実際に流れる内部電流を測定することなく、内部回路群におけるリーク電流を評価することができる。この結果、簡易な構成で、内部回路のリーク電流を評価することが可能となる。

【０１１３】

［実施の形態２］

実施の形態２においては、実施の形態１に示した内部電圧制御回路とリーク検知回路とを組合せて構成された、リーク電流の評価機能および調整機能とを併有するリーク電流制御回路の構成について説明する。

【０１１４】

図１０は、実施の形態２に従うリーク電流制御回路１００の構成を示す回路図である。

【０１１５】

図１０を参照して、リーク電流制御回路１００は、図４に示された内部電圧制御回路４０と図９に示されたリーク検知回路４５とを含む。

【０１１６】

リーク検知回路４５は、ＢＩＳＴ回路３０からの調整信号ＴＰ０～ＴＰ３に応じて調整可能なテスト電流Ｉｔを内部回路群４２を供給することにより、内部回路群４２でのリーク電流が規格値を超えているかどうかを判定する。

【０１１７】

内部電圧制御回路４０は、ＢＩＳＴ回路３０またはプログラム回路３１から与えられる調整信号Ｐ０～Ｐ３に応答して、内部回路群４２を構成するＮ－ＭＯＳトランジスタ群の基板電圧に相当する内部電圧Ｖｂｂを制御する。

【０１１８】

テストモード時において、テスト電流調整部１１０に与えられる調整信号ＴＰ０～ＴＰ３が内部回路群４２のリーク電流の規格値に対応するように設定される。この状態で、ＢＩＳＴ回路３０は、内部電圧制御回路４０へ与えられる調整信号Ｐ０～Ｐ３を、図６に示した調整レベル“－８”～“＋７”のそれぞれに対応させて段階的に設定する。

【０１１９】

それぞれの調整レベルにおいて、内部電圧Ｖｂｂは、調整信号Ｐ０～Ｐ３に応じたレベルに設定される。Ｎ－ＭＯＳトランジスタ群の基板電圧（内部電圧Ｖｂｂ）のレベルに応じて、内部回路群４２のリーク電流も変化する。具体的には、内部電圧Ｖｂｂをより深い負電圧に設定することによって、Ｎ－ＭＯＳトランジスタ群のターンオフ時のリーク電流

を減少して、内部回路群４２のリーク電流を削減できる。

【０１２０】

この結果、内部回路群４２のリーク電流が規格値を超えないように内部電圧Ｖｂｂを設定するための所望の調整信号Ｐ０～Ｐ３をテストモード時に得ることができる。当該所望の調整信号Ｐ０～Ｐ３は、図７に説明したテストメモリ３５を介して、テスト出力ＴＯＵＴとして半導体装置外部に読出すことができる。

【０１２１】

このようにしてテストモード時に得られたテスト出力ＴＯＵＴの解析に基づいたプログラム入力ＰＲＧＩＮをピン１ｇへ印加することにより、プログラム回路３１には、実動作時のスタンバイモードで用いられる調整信号Ｐ０～Ｐ３がプログラムされる。この結果、実動作時のスタンバイモードにおいて、リーク電流制御回路１００は、プログラムされた調整信号Ｐ０～Ｐ３に応じて内部電圧Ｖｂｂを制御することにより、内部回路群４２でのリーク電流を規格値（許容値）以下に抑制できる。

【０１２２】

一方、実動作時のノーマルモードでは、内部回路群４２中のＮ－ＭＯＳトランジスタは所定動作を実行するために十分な電流を駆動する必要がある。したがって、内部電圧Ｖｂｂのレベルを設定するための調整信号Ｐ０～Ｐ３は、スタンバイモード用とノーマルモード用とを別々に設定することが望ましい。ノーマルモード用の調整信号Ｐ０～Ｐ３も、テストモード時に別の動作テストによって求めることができる。この結果、プログラム回路３１は、スタンバイモード用およびノーマルモード用の調整信号Ｐ０～Ｐ３のそれぞれを記憶する。

【０１２３】

プログラム回路３１と内部電圧制御回路４０との間には、セレクタ１０５がさらに設けられる。セレクタ１０５は、テスト制御信号ＴＳＴに応じて、プログラム回路３１にプログラムされた、ノーマルモード用の調整信号Ｐ０～Ｐ３およびスタンバイモード用の調整信号Ｐ０～Ｐ３の一方を内部電圧制御回路に伝達する。既に説明したように、内部電圧制御回路４０内のセレクタ回路５０は、テストモード時であるか、実動作モード（ノーマルモードおよびスタンバイモードを含む）のいずれであるかを示す切換信号ＣＨＰに応答して、プログラム回路３１およびＢＩＳＴ回路３０からそれぞれ伝達された調整信号Ｐ０～Ｐ３を選択的に可変抵抗回路４８へ伝達する。この結果、内部電圧Ｖｂｂは、スタンバイモードおよびノーマルモードのそれぞれにおいて、動作テスト結果に基づいて策定された適正レベルに設定される。

【０１２４】

このような構成とすることにより、簡易な回路構成によって、実施の形態１と同様に内部回路群におけるリーク電流を評価するのみならず、リーク電流を規格値（許容値）以下に設定するための回路調整を実行することが可能となる。

【０１２５】

また、図１１に示されるように、実施の形態２に従うリーク電流制御回路によって、内部回路群４２中のＰ－ＭＯＳトランジスタの基板電圧を制御することも可能である。

【０１２６】

図１１を参照して、リーク電流制御回路１００＃は、図１０に示したリーク電流制御回路１００の構成と比較して、内部電圧制御回路４０に代えて内部電圧制御回路４０＃を含む点で異なる。

【０１２７】

内部電圧制御回路４０＃は、ＢＩＳＴ回路３０またはプログラム回路３１から与えられる調整信号ＰＰ０～ＰＰ３に応答して、内部回路群４２を構成するＰ－ＭＯＳトランジスタ群の基板電圧に相当する内部電圧Ｖｐｐを制御する。すなわち、内部電圧Ｖｐｐは正電圧である。内部電圧Ｖｐｐは、内部電圧配線４１＃によって、Ｐ－ＭＯＳトランジスタへ印加される。

【０１２８】

したがって、内部電圧制御回路４０＃は、内部電圧制御回路４０と比較して、負電荷を供給する電圧発生回路６０に代えて、内部電圧配線４１＃へ正電荷を供給するための電荷供給回路１６０を含む点で異なる。内部電圧制御回路４０＃のそれ以外の構成および基本的な動作は、内部電圧制御回路４０と同様なので詳細な説明は繰返さない。

【０１２９】

［実施の形態２の変形例］

図１２は、実施の形態２の変形例に従うリーク電流制御回路の構成例を示す回路図である。

【０１３０】

図１２を参照して、実施の形態２の変形例に従うリーク電流制御回路１０１は、図１０に示したリーク電流制御回路１００と比較して、内部電圧制御回路４０に代えて内部電圧制御回路１４０を含む点で異なる。

【０１３１】

内部電圧制御回路１４０は、調整信号Ｐ０～Ｐ３に応じて分圧比が調整される分圧回路４６に代えて、リーク検知回路４５での検出結果に応じて分圧比が調整される分圧回路１４６を含む点で異なる。

【０１３２】

分圧回路１４６は、電源電圧ＶｃｃとノードＮｄの間に接続された固定抵抗回路４７と、ノードＮｄおよび内部電圧配線４１の間に接続されたトランジスタ１５０とを有する。トランジスタ１５０のゲートには、リーク検知回路４５中の電圧比較器１３０が出力する制御電圧Ｖｃが入力される。

【０１３３】

この結果、トランジスタ１５０は、制御電圧Ｖｃに応じて電気抵抗が変化する可変抵抗として作用する。既に説明したように、制御電圧Ｖｃは、内部回路群４２の電源ノード４３の電圧と所定電圧Ｖｒｒとの比較結果に応じて設定される。したがって、分圧回路１４６の分圧比Ｋも、内部回路群４２でのリーク電流の評価結果に応じて変化する。

【０１３４】

具体的には、内部回路群４２でのリーク電流が規格値より大きいときには、制御電圧Ｖｃも上昇するのでトランジスタ１５０の抵抗値が大きくなり、内部電圧Ｖｂｂの設定値を低くしよう（負電圧側）とする。これにより、内部回路群４２でのＮ－ＭＯＳトランジスタの基板電圧がより深い負電圧となって、リーク電流は減少する。このように構成されたフィードバックループによって、内部電圧配線４１上の内部電圧Ｖｂｂ、すなわち内部回路群４２内のＮ－ＭＯＳトランジスタに印加される基板電圧は、内部回路群４２でのリーク電流が規格値以下となるレベルに収束していく。

【０１３５】

すなわち、リーク電流制御回路１０１は、半導体装置のスタンバイモード時にリーク電流を制御するために設けられており、リーク検知回路４５の検知結果に基づいて、内部電圧Ｖｂｂ（基板電圧）をフィードバック制御している。この結果、リーク電流制御回路１０１においては、リーク電流制御回路１００とは異なり、調整信号Ｐ０～Ｐ３の設定および動作テストに関する構成は省略されている。その他の部分の構成は、図１０に示されたリーク電流制御回路１００と同様であるので、詳細な説明は繰り返さない。

【０１３６】

以上説明したように、実施の形態２の変形例に従うリーク電流制御回路では、半導体装置のスタンバイモード時において、内部回路でのリーク電流が規格値以下となるような自動制御ループを形成することできる。

【０１３７】

また、図１３に示されるように、実施の形態２の変形例に従うリーク電流制御回路によって、内部回路群４２中のＰ－ＭＯＳトランジスタの基板電圧を制御することも可能である。

【０１３８】

図１３を参照して、リーク電流制御回路１０１＃は、図１２に示したリーク電流制御回路１０１の構成と比較して、内部電圧制御回路１４０に代えて内部電圧制御回路１４０＃を含む点で異なる。

【０１３９】

内部電圧制御回路１４０＃は、リーク検知回路４５での検知結果に応答して、内部電圧配線４１＃上の内部電圧Ｖｐｐを制御する。既に説明したように、内部電圧Ｖｐｐは、内部回路群４２を構成するＰ－ＭＯＳトランジスタ群へ基板電圧として印加される。

【０１４０】

したがって、内部電圧制御回路１４０＃は、内部電圧制御回路１４０と比較して、負電荷を供給する電圧発生回路６０に代えて、内部電圧配線４１＃へ正電荷を供給するための電荷供給回路１６０を含む点で異なる。内部電圧制御回路１４０＃のその他の構成および基本的な動作は、内部電圧制御回路１４０と同様なので詳細な説明は繰返さない。

【０１４１】

以上、実施の形態１および２においては、内部回路群を構成するＮ－ＭＯＳまたはＰ－ＭＯＳトランジスタに印加される基板電圧を制御するための構成について説明したが、内部電圧制御回路およびリーク電流制御回路は、ＭＯＳトランジスタの印加電圧の制御に共通に適用することができる。すなわち、実施の形態１および２に示した内部電圧制御回路およびリーク電流制御回路によって、内部回路に含まれるＭＯＳトランジスタ群のゲート印加電圧やソース印加電圧を同様に制御することによっても、ターンオフされたＭＯＳトランジスタ群を十分に逆バイアスすることによって、リーク電流を同様に制御することが可能である。

【０１４２】

［実施の形態３］

実施の形態３においては、実施の形態１で説明した内部電圧制御回路を用いて、ＭＲＡＭデバイスのデータ書込電流レベルを調整する構成について説明する。

【０１４３】

図１４は、実施の形態３に従うＭＲＡＭデバイスのデータ書込に関連する構成を示す第１の図である。

【０１４４】

図１４を参照して、実施の形態３に従うＭＲＡＭデバイスは、メモリセルアレイ２１０と、行デコーダ２１５Ｗ，２１５Ｒと、ライトディジット線ドライブ回路２２０と、ワード線ドライバ２３０と、Ｖｐｐ発生回路４０＃とを備える。

【０１４５】

メモリセルアレイ２１０は、行列状に配列された複数のＭＴＪメモリセルＭＣを有する。ここで、ＭＴＪメモリセルの構成およびデータ原理について説明しておく。

【０１４６】

図１５は、ＭＴＪメモリセルの構造およびデータ記憶原理を説明する概念図である。

【０１４７】

図１５を参照して、トンネル磁気抵抗素子ＴＭＲは、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）ＦＬと、外部からの印加磁界に応じた方向に磁化可能な強磁性体層（以下、単に「自由磁化層」とも称する）ＶＬとを有する。固定磁化層ＦＬおよび自由磁化層ＶＬの間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）ＴＢが設けられる。自由磁化層ＶＬは、書込まれる記憶データのレベルに応じて、固定磁化層ＦＬと同一方向または固定磁化層ＦＬと反対方向に磁化される。これらの固定磁化層ＦＬ、トンネルバリアＴＢおよび自由磁化層ＶＬによって磁気トンネル接合が形成される。

【０１４８】

トンネル磁気抵抗素子ＴＭＲの電気抵抗は、固定磁化層ＦＬおよび自由磁化層ＶＬのそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子ＴＭＲの電気抵抗は、固定磁化層ＦＬの磁化方向と自由磁化層ＶＬの磁化方向とが同じ（平行

）である場合に最小値Ｒｍｉｎとなり、両者の磁化方向が反対（反平行）方向である場合に最大値Ｒｍａｘとなる。

【０１４９】

データ書込時においては、リードワード線ＲＷＬが非活性化されて、アクセストランジスタＡＴＲはターンオフされる。この状態で、自由磁化層ＶＬを磁化するためのデータ書込磁界Ｈ（ＢＬ）およびＨ（ＷＤＬ）は、ビット線ＢＬおよびライトディジット線ＷＤＬを流れるデータ書込電流によってそれぞれ発生される。特に、ビット線ＢＬ上のデータ書込電流は、書込データのレベルに応じて、＋Ｉｗおよび－Ｉｗのいずれかの方向に流される。

【０１５０】

図１６は、ＭＴＪメモリセルのデータ書込の電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

【０１５１】

図１６を参照して、横軸Ｈ（ＥＡ）は、トンネル磁気抵抗素子ＴＭＲ内の自由磁化層ＶＬにおいて磁化容易軸（ＥＡ：Easy Axis）方向に印加される磁界を示す。一方、縦軸Ｈ（ＨＡ）は、自由磁化層ＶＬにおいて磁化困難軸（ＨＡ：Hard Axis）方向に作用する磁界を示す。磁界Ｈ（ＥＡ）およびＨ（ＨＡ）は、図１５に示したデータ書込磁界Ｈ（ＢＬ）およびＨ（ＷＤＬ）にそれぞれ対応する。

【０１５２】

ＭＴＪメモリセルにおいては、固定磁化層ＦＬの固定された磁化方向は、自由磁化層ＶＬの磁化容易軸に沿っており、自由磁化層ＶＬは、記憶データのレベルに応じて、磁化容易軸方向に沿って、固定磁化層ＦＬと平行あるいは反平行（反対）方向に磁化される。ＭＴＪメモリセルは、自由磁化層ＶＬの２通りの磁化方向と対応させて、１ビットのデータを記憶することができる。

【０１５３】

自由磁化層ＶＬの磁化方向は、印加される磁界Ｈ（ＥＡ）およびＨ（ＨＡ）の和が、図１６に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層ＶＬの磁化方向は変化しない。

【０１５４】

アステロイド特性線に示されるように、自由磁化層ＶＬに対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げることができる。図１６に示すように、データ書込時の動作点は、ライトディジット線ＷＤＬとビット線ＢＬとの両方に所定のデータ書込電流を流したときに、ＭＴＪメモリセルの記憶データ、すなわちトンネル磁気抵抗素子ＴＭＲの磁化方向を書換えられるように設計される。

【０１５５】

図１６に例示された動作点では、データ書込対象であるＭＴＪメモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度がH_{WR}となるように設計される。すなわち、このデータ書込磁界H_{WR}が得られるように、ビット線ＢＬまたはライトディジット線ＷＤＬを流されるデータ書込電流の値が設計される。一般的に、データ書込磁界H_{WR}は、磁化方向の切換えに必要なスイッチング磁界H_{SW}と、マージン分ΔＨとの和で示される。すなわち、$H_{WR}=H_{SW}+\Delta H$で示される。

【０１５６】

トンネル磁気抵抗素子ＴＭＲに一旦書込まれた磁化方向、すなわちＭＴＪメモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。各メモリセルの電気抵抗は、厳密には、トンネル磁気抵抗素子ＴＭＲ、アクセストランジスタＡＴＲのオン抵抗、およびその他の寄生抵抗の和であるが、トンネル磁気抵抗素子ＴＭＲ以外の抵抗分は記憶データによらず一定であるので、以下においては、記憶データに応じた２種類の正規メモリセルの電気抵抗についても、ＲｍａｘおよびＲｍｉｎで示し、両者の差

をΔＲ（すなわち、ΔＲ＝Ｒｍａｘ－Ｒｍｉｎ）と示すものとする。

【０１５７】

再び図１４を参照して、メモリセルアレイ２１０において、ＭＴＪメモリセルＭＣの行にそれぞれ対応して、リードワード線ＲＷＬおよびライトディジット線ＷＤＬが配置され、ＭＴＪメモリセルＭＣの列にそれぞれ対応してビット線ＢＬが配置される。各ＭＴＪメモリセルＭＣは、対応するビット線ＢＬおよびソース電圧線ＳＬの間に直列に接続されたトンネル磁気抵抗素子ＴＭＲおよびアクセストランジスタＡＴＲを有する。アクセストランジスタＡＴＲは、代表的にはＮ－ＭＯＳトランジスタで構成され、そのゲートは対応するリードワード線ＲＷＬと接続される。各アクセストランジスタＡＴＲのソースと接続されたソース電圧線ＳＬは、接地電圧ＧＮＤを供給する。

【０１５８】

行デコーダ２１５Ｗは、入力アドレスで示されるロウアドレスＲＡに基づいて、各メモリセル行ごとにロウデコード信号／Ｒｄｗを生成する。行デコーダ２１５Ｗは、データ書込時に、選択されたメモリセル行（以下、「選択行」とも称する）のロウデコード信号／ＲｄｗをＬレベルに活性化し、それ以外のメモリセル行（以下、「非選択行」とも称する）のロウデコード信号／ＲｄｗをＨレベルに非活性化する。データ書込時以外には、行デコーダ２１５Ｗは、ロウデコード信号／Ｒｄｗの各々をＨレベルへ非活性化する。

【０１５９】

ライトディジット線ドライブ回路２２０は、各ライトディジット線ＷＤＬの一端側と電源電圧Ｖｃｃとの間に接続されたドライバトランジスタ２２２を有する。ドライバトランジスタ２２２は、Ｐ－ＭＯＳトランジスタで構成され、そのゲートは、対応するメモリセル行のロウデコード信号／Ｒｄｗを受ける。各ライトディジット線ＷＤＬの他端側は、行選択結果にかかわらず接地電圧ＧＮＤと接続されている。

【０１６０】

したがって、データ書込時に選択行においては、ロウデコード信号／Ｒｄｗの活性化（Ｌレベル）に応答して、対応するドライバトランジスタ２２２がターンオンして、選択行のライトディジット線ＷＤＬには、ライトディジット線ドライブ回路２２０から接地電圧ＧＮＤに向う方向にデータ書込電流Ｉｐが流される。データ書込電流Ｉｐによって、ＭＴＪメモリセルＭＣに対して磁化困難軸（ＨＡ）に沿ったデータ書込磁界が印加される。

【０１６１】

Ｖｐｐ発生回路４０＃は、Ｐ－ＭＯＳトランジスタであるドライバトランジスタ２２２へ基板電圧として印加される内部電圧Ｖｐｐを制御する。内部電圧Ｖｐｐは、内部電圧配線４１＃によって伝達されている。なお、Ｖｐｐ発生回路４０＃の構成は、図１１に示した内部電圧制御回路４０＃と同様であるので詳細な説明は繰返さない。すなわち、Ｖｐｐ発生回路４０＃は、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる調整信号ＰＰ０～ＰＰ３に応じて、内部電圧Ｖｐｐを段階的に設定することができる。

【０１６２】

あるいは図１７に示すように、ライトディジット線ドライブ回路２２０を、各ライトディジット線ＷＤＬの一端側と接地電圧ＧＮＤとの間に接続されたＮ－ＭＯＳトランジスタで構成されたドライバトランジスタ２２４で構成することもできる。

【０１６３】

この場合には、ドライバトランジスタ２２４のゲートには、図１４に示したロウデコード信号／Ｒｄｗの反転レベルを有するロウデコード信号Ｒｄｗが入力される。すなわちロウデコード信号Ｒｄｗはデータ書込時に選択行においてＨレベルに活性化され、それ以外にはＬレベルに非活性化される。

【０１６４】

Ｖｂｂ発生回路４０は、Ｎ－ＭＯＳトランジスタであるドライバトランジスタ２２４へ基板電圧として印加される内部電圧Ｖｂｂを制御する。内部電圧Ｖｂｂは、内部電圧配線４１によって伝達されている。なお、Ｖｂｂ発生回路４０の構成は、図４に示した内部電

圧制御回路４０と同様であるので詳細な説明は繰返さない。すなわち、Ｖｂｂ発生回路４０は、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる調整信号Ｐ０～Ｐ３に応じて、内部電圧Ｖｂｂを段階的に設定することができる。

【０１６５】

このような構成とすることにより、調整信号Ｐ０～Ｐ３，ＰＰ０～ＰＰ３に応じた内部電圧Ｖｂｂ，Ｖｐｐの制御によって、ドライバトランジスタ２２２，２２４のしきい値電圧を変化させて、その電流駆動能力を調整することが可能となる。これにより、データ書込電流Ｉｐのレベルを調整して、磁化困難軸方向のデータ書込磁界の強度を微調整することが可能となる。

【０１６６】

次に、ビット線ＢＬに対するデータ書込電流の供給構成およびデータ読出構成について、図１８を用いて説明する。

【０１６７】

図１８を参照して、実施の形態３に従うＭＲＡＭデバイスは、さらに、各メモリセル列に対応して設けられたビット線ドライバ２５０ａ，２５０ｂと、データ書込回路２５１とを備える。

【０１６８】

ビット線ドライバ２５０ａは、対応するビット線ＢＬの一端側と、電源電圧Ｖｃｃおよび接地電圧ＧＮＤとの間にそれぞれ接続されたドライバトランジスタ２５２および２５４を有する。同様に、ビット線ドライバ２５０ｂは、対応するビット線ＢＬの他端側と、電源電圧Ｖｃｃおよび接地電圧ＧＮＤとの間にそれぞれ接続されたドライバトランジスタ２５６および２５８を有する。ドライバトランジスタ２５２，２５６はＰ－ＭＯＳトランジスタで構成され、ドライバトランジスタ２５４，２５８はＮ－ＭＯＳトランジスタで構成される。

【０１６９】

ドライバトランジスタ２５２および２５４のゲートには書込制御信号／ＷＴａ１およびＷＴａ０がそれぞれ入力され、ドライバトランジスタ２５６および２５８のゲートには、書込制御信号／ＷＴｂ０およびＷＴｂ１がそれぞれ入力される。

【０１７０】

各メモリセル列において、ビット線ドライバ２５０ａは、書込制御信号／ＷＴａ０およびＷＴａ１に応じて、対応するビット線ＢＬの一端側を、電源電圧Ｖｃｃまたは接地電圧ＧＮＤで駆動するか、あるいは、いずれの電圧とも接続せずにフローティング状態とする。同様に、ビット線ドライバ２５０ｂは、書込制御信号／ＷＴｂ０およびＷＴｂ１に応じて、対応するビット線ＢＬの他端側を、電源電圧Ｖｃｃまたは接地電圧ＧＮＤで駆動するか、あるいはフローティング状態とする。フローティング状態のビット線ＢＬの各々は、必要に応じて、図示しないプリチャージ回路によって、固定電圧にプリチャージされる。

【０１７１】

データ書込回路２５１は、書込データＤＩＮおよび列選択結果に応じて、各メモリセル列における書込制御信号／ＷＴａ１，ＷＴａ０，／ＷＴｂ０，ＷＴｂ１を制御する。書込制御信号／ＷＴａ１，ＷＴａ０，／ＷＴｂ０，ＷＴｂ１は、選択列のビット線ＢＬに書込データＤＩＮに応じた方向のデータ書込電流＋Ｉｗまたは－Ｉｗが流れるように設定される。以下においては、ビット線ＢＬ上の異なる方向のデータ書込電流＋Ｉｗおよび－Ｉｗを総称して、データ書込電流±Ｉｗとも表記する。

【０１７２】

データ書込回路２５１は、データ書込時以外には、各メモリセル列において、書込制御信号／ＷＴａ１，／ＷＴｂ０をＨレベルへ設定し、書込制御信号ＷＴａ０，ＷＴｂ１をＬレベルに設定する。これにより、データ書込時以外には、各ビット線ＢＬは、フローティング状態に設定される。

【０１７３】

また、データ書込回路２５１は、データ書込時において非選択メモリセル列に対応する、書込制御信号／ＷＴａ１，ＷＴａ０，／ＷＴｂ０，ＷＴｂ１の各々をＨレベルに設定する。これにより、データ書込時に非選択列のビット線ＢＬは、意図しない電流が流れない様に、その両端を接地電圧ＧＮＤと接続される。

【０１７４】

これに対して、データ書込回路２５１は、データ書込時において選択メモリセル列に対応する書込制御信号／ＷＴａ１，ＷＴａ０，／ＷＴｂ０，ＷＴｂ１を、書込データＤＩＮに応じて設定する。

【０１７５】

具体的には、書込データＤＩＮがＨレベルであるときには、書込制御信号／ＷＴａ１およびＷＴａ０はＬレベルに設定され、書込制御信号／ＷＴｂ０およびＷＴｂ１はＨレベルに設定される。これにより、選択列のビット線ＢＬには、ビット線ドライバ２５０ａから２５０ｂへ向かう方向にデータ書込電流＋Ｉｗが流される。

【０１７６】

これに対して、書込データＤＩＮがＬレベルであるときには、書込制御信号／ＷＴａ１およびＷＴａ０はＨレベルに設定され、書込制御信号／ＷＴｂ０およびＷＴｂ１はＬレベルに設定される。これにより、選択列のビット線ＢＬには、ビット線ドライバ２５０ｂから２５０ａへ向かう方向にデータ書込電流－Ｉｗが流される。なお、ビット線ドライバ２５０ａ，２５０ｂの駆動電圧を、接地電圧ＧＮＤおよび電源電圧Ｖｃｃ以外の独立した電圧とすることも可能である。

【０１７７】

データ書込電流±Ｉｗによって、ＭＴＪメモリセルＭＣに対して磁化容易軸（ＥＡ）に沿ったデータ書込磁界が印加される。対応するライトディジット線ＷＤＬおよびビット線ＢＬの両方にデータ書込電流が流されたＭＴＪメモリセルＭＣにおいて、ビット線ＢＬ上のデータ書込電流±Ｉｗの方向に応じた書込データが磁気的に書込まれる。

【０１７８】

Ｖｐｐ＃発生回路２４０＃は、Ｐ－ＭＯＳトランジスタで構成されたドライバトランジスタ２５２および２５６へ基板電圧として印加される内部電圧Ｖｐｐ＃を制御する。内部電圧Ｖｐｐ＃は、内部電圧配線２４１＃によって伝達されている。なお、Ｖｐｐ発生回路２４０＃の構成は、図１１に示した内部電圧制御回路４０＃と同様であるので詳細な説明は繰返さない。すなわち、Ｖｐｐ＃発生回路２４０＃は、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる調整信号ＰＰ０＃～ＰＰ３＃に応じて、内部電圧Ｖｐｐ＃を段階的に設定することができる。

【０１７９】

同様に、Ｖｂｂ＃発生回路２４０は、Ｎ－ＭＯＳトランジスタで構成されたドライバトランジスタ２５４および２５８へ基板電圧として印加される内部電圧Ｖｂｂ＃を制御する。内部電圧Ｖｂｂは、内部電圧配線４１によって伝達されている。なお、Ｖｂｂ＃発生回路２４０の構成は、図４に示した内部電圧制御回路４０と同様であるので詳細な説明は繰返さない。すなわち、Ｖｂｂ＃発生回路２４０は、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる調整信号Ｐ０＃～Ｐ３＃に応じて、内部電圧Ｖｂｂ＃を段階的に設定することができる。

【０１８０】

このような構成とすることにより、調整信号Ｐ０＃～Ｐ３＃，ＰＰ０＃～ＰＰ３＃に応じた内部電圧Ｖｂｂ＃，Ｖｐｐ＃の制御によって、ドライバトランジスタ２５２，２５４，２５６，２５８のしきい値電圧を変化させて、電流駆動能力を調整することが可能となる。これにより、データ書込電流±Ｉｗのレベルを調整して、磁化容易軸方向のデータ書込磁界の強度を微調整することが可能となる。また、調整信号Ｐ０～Ｐ３，ＰＰ０～ＰＰ３およびＰ０＃～Ｐ３＃，ＰＰ０＃～ＰＰ３＃を別々に設定することにより、磁化困難軸および磁化容易軸方向のデータ書込磁界の強度をそれぞれ独立に調整できる。

【０１８１】

次に、データ読出に関する構成について説明する。

【０１８２】

再び図１４を参照して、行デコーダ２１５Ｒは、ロウアドレスＲＡに基づいて、メモリセル行ごとにロウデコード信号Ｒｄｒを生成する。行デコーダ２１５Ｒは、データ読出時に、選択行のロウデコード信号ＲｄｒをＨレベルに活性化し、非選択行のロウデコード信号ＲｄｒをＬレベルに非活性化する。データ読出時以外には、行デコーダ２１５Ｒは、ロウデコード信号Ｒｄｒの各々をＬレベルへ非活性化する。

【０１８３】

したがって、データ読出時には、ロウデコード信号Ｒｄｒに応じて、選択行のリードワード線ＲＷＬがＨレベルへ活性化され、非選択行のリードワード線ＲＷＬはＬレベルへ非活性化される。一方、データ書込時以外には各リードワード線ＲＷＬはＬレベルに非活性化されている。この結果、データ読出時には、選択行のメモリセルにおいてはアクセストランジスタＡＴＲがオンして、各ビット線ＢＬは、対応するＭＴＪメモリセルＭＣのトンネル磁気抵抗素子ＴＭＲを介して接地電圧ＧＮＤへプルダウンされる。

【０１８４】

再び図１８を参照して、各ビット線ＢＬとデータ線ＤＩＯとの間には、読出選択ゲートＲＣＳＧが設けられる。読出選択ゲートＲＣＳＧは、対応するコラム選択線ＣＳＬに応答してオンまたはオフする。コラム選択線ＣＳＬは、データ読出時に選択列においてＨレベルに活性化され、それ以外ではＬレベルに非活性化されている。

【０１８５】

したがって、データ読出時において、データ線ＤＩＯは、読出選択ゲートＲＣＳＧ、選択列のビット線ＢＬおよび選択メモリセル中のトンネル磁気抵抗素子ＴＭＲを介して接地電圧ＧＮＤへプルダウンされている。この状態で、データ読出時にターンオンする電流供給トランジスタ２６０によってデータ線ＤＩＯが電源電圧Ｖｃｃにプルアップされる。電流供給トランジスタ２６０は、たとえば、電源電圧Ｖｃｃおよびデータ線ＤＩＯの間に接続されて、ゲートに制御信号／ＲＥを受けるＰ－ＭＯＳトランジスタで構成される。制御信号／ＲＥは、データ読出時の所定期間においてＬレベルへ活性化される。

【０１８６】

この結果、データ読出時にデータ線ＤＩＯには、選択メモリセルの電気抵抗（すなわち記憶データ）に応じた電圧が発生する。したがって、データ読出回路２６５によって、データ線ＤＩＯの電圧と読出基準電圧ＶＲｒｅｆとを比較することによって、選択メモリセルの記憶データを読出すことができる。なお、読出基準電圧ＶＲｒｅｆは、記憶データが電気抵抗Ｒｍｉｎに対応する選択メモリセルが接続された場合におけるデータ線ＤＩＯの電圧と、記憶データが電気抵抗Ｒｍａｘに対応する選択メモリセルが接続された場合におけるデータ線ＤＩＯの電圧との中間レベルに設定されている。

【０１８７】

データ読出回路２６５の後段にはスイッチ回路２７０が配置される。スイッチ回路２７０は、テストモード時以外には、ＭＲＡＭデバイスの外部へ出力データＤＯＵＴを出力する経路へ、データ読出回路２６５の出力信号を伝達する。これに対して、テストモード時には、スイッチ回路２７０は、テスト制御信号ＴＳＴに応答してデータ読出回路２６５の出力をデータ比較回路２８０へ伝達する。

【０１８８】

データ比較回路２８０は、テストモード時にＢＩＳＴ回路３０から与えられるテスト期待値と、選択メモリセルからの読出データとの比較機能を有する。データ比較回路は、たとえば排他的ＮＯＲゲートで構成される。また、データ比較回路２８０に、データ読出回路２６５の出力信号を複数ビットラッチする機能を持たせて、テストモード時の読出データとテスト期待値とを当該複数ビット同士で比較する構成とすることも可能である。データ比較回路２８０の出力はテストメモリ３５へ伝達される。

【０１８９】

テストモード時には、データ書込特性を評価するために、メモリセルアレイ２１０内の

少なくとも一部のメモリセルに対応するライトディジット線ＷＤＬおよびビット線ＢＬに対して、所定レベルのデータをテスト書込みするためのデータ書込電流Ｉｐ，±Ｉｗが供給される。

【０１９０】

その後、当該テスト書込対象となったＭＴＪメモリセルＭＣからのデータ読出を実行し、当該所定レベルのデータが書込まれているか否かをデータ比較回路２８０の出力に基づいて評価することによって、データ書込磁界が適当な強度を有しているか、すなわち、データ書込電流Ｉｐ，±Ｉｗのレベルが妥当であるかを評価することができる。データ書込電流Ｉｐ，±Ｉｗのレベルが過小であると、データ書込動作が不安定となる一方で、データ書込電流Ｉｐ，±Ｉｗのレベルが過大であると消費電力の増大を招いてしまう。したがって、ＭＲＡＭデバイスにおいては、データ書込電流を適正レベルへ精密に調整することが重要である。

【０１９１】

図１９は、テストモード時のデータ書込電流の調整方法を説明するためのフローチャートである。

【０１９２】

図１９を参照して、データ書込電流のチューニングが開始されると（ステップＳ１００）、まず、ビット線ドライバ２５０ａ，２５０ｂ中のドライバトランジスタの基板電圧である内部電圧Ｖｂｂ＃，Ｖｐｐ＃を固定する一方で、ライトディジット線ドライブ回路２２０中のドライバトランジスタ２２２，２２４の基板電圧である内部電圧Ｖｂｂ，Ｖｐｐの設定を段階的に変化させて、所定レベルのデータ書込が正常に実行できるか否かの動作テストを実行する。すなわち、磁化容易軸方向のデータ書込磁界Ｈ（ＥＡ）の設定を固定する一方で、磁化困難軸方向のデータ書込磁界Ｈ（ＨＡ）の設定を段階的に変化させるテストが実行される。

【０１９３】

図１８に示したデータ比較回路２８０を用いて、データ書込磁界Ｈ（ＨＡ）のそれぞれの設定レベルにおけるデータ書込結果が評価される。その結果、データ書込結果が不良（ＮＧ）から良好（ＯＫ）に変化した設定レベルに基づいて、データ書込時に印加されるデータ書込磁界Ｈ（ＨＡ）の候補点が抽出される（ステップＳ１１０）。

【０１９４】

次に、ライトディジット線ＷＤＬに対応するドライバトランジスタ２２２，２２４の基板電圧である内部電圧Ｖｂｂ，Ｖｐｐの設定を固定する一方で、ビット線ＢＬに対応するドライバトランジスタの基板電圧である内部電圧Ｖｂｂ＃，Ｖｐｐ＃を段階的に変化させて、所定レベルのデータ書込が正常に実行できるか否かの動作テストを実行する。すなわち、磁化困難軸方向のデータ書込磁界Ｈ（ＨＡ）の設定を固定する一方で、磁化容易軸方向のデータ書込磁界Ｈ（ＥＡ）の設定を段階的に変化させるテストが実行される。

【０１９５】

その結果、データ書込結果が不良（ＮＧ）から良好（ＯＫ）に変化した設定レベルに基づいて、データ書込時に印加されるデータ書込磁界Ｈ（ＥＡ）の候補点が抽出される（ステップＳ１２０）。

【０１９６】

さらに、ステップＳ１１０および１２０で求められた候補点でのデータ書込磁界Ｈ（ＥＡ）およびＨ（ＨＡ）を平均化して、データ書込時の動作点に相当するデータ書込磁界Ｈ（ＥＡ）およびＨ（ＨＡ）が仮決定される（ステップＳ１３０）。さらに、ステップＳ１３０で仮決定された動作点に対して、磁化容易軸および磁化困難軸のそれぞれについてマージン等を考慮して、最終的な動作点が決定される（ステップＳ１４０）。

【０１９７】

既に説明したように、データ書込磁界Ｈ（ＥＡ）およびＨ（ＨＡ）の強度は、ドライバトランジスタの基板電圧によって調整可能であるので、ステップＳ１４０で決定された動作点の磁界強度を発生するために必要な調整信号Ｐ０～Ｐ３，ＰＰ０～ＰＰ３，Ｐ０＃～

Ｐ３＃，ＰＰ０＃～ＰＰ３＃が動作テスト結果の解析によって算出される。算出されたプログラムデータは、プログラム回路へ書込まれる（ステップＳ１５０）。これにより、ＭＲＡＭデバイスの実動作時には、ステップＳ１４０で決定された動作点に相当データ書込磁界を発生することが可能となる。以上の一連の手順によって、データ書込電流のチューニングが終了する（ステップＳ１６０）。

【０１９８】

次に、図１９で説明したデータ書込電流チューニングの具体例について、図２０～図２３を用いて説明する。

【０１９９】

図２０～図２３の各々において、横軸は、磁化容易軸に沿ったデータ書込磁界Ｈ（ＥＡ）を示し、縦軸は、磁化困難軸に沿ったデータ書込磁界Ｈ（ＨＡ）を示している。データ書込磁界Ｈ（ＥＡ）は、図１８に示されたＶｂｂ＃発生回路２４０およびＶｐｐ＃発生回路２４０＃にそれぞれ与えられる調整信号Ｐ０＃～Ｐ３＃およびＰＰ０＃～ＰＰ３＃によって、段階的に設定可能である。同様に、データ書込磁界Ｈ（ＨＡ）は、図１４および図１７にそれぞれ示されたＶｐｐ発生回路４０＃およびＶｂｂ発生回路４０およびにそれぞれ与えられる調整信号ＰＰ０～ＰＰ３およびＰ０～Ｐ３によって、段階的に設定可能である。

【０２００】

４ビットの調整信号を用いる場合には、これらのデータ書込磁界Ｈ（ＥＡ），Ｈ（ＨＡ）は、図６に示したのと同様に１６段階に調整できる。すなわち、横軸および縦軸上の“０”点は、図６に示された調整レベル“０”に対応する。この状態から調整信号を段階的に変化させることによって、データ書込電流Ｉｐ，±Ｉｗが増加・減少する方向に内部電圧Ｖｂｂ，Ｖｐｐ，Ｖｂｂ＃，Ｖｐｐ＃の設定を変化させれば、結果として、データ書込磁界Ｈ（ＥＡ），Ｈ（ＨＡ）の設定を段階的に調整することができる。

【０２０１】

図２０には、標準的なケースでのデータ書込電流の調整が示される。

【０２０２】

図２０を参照して、まず、図１９のステップＳ１１０に示したように、磁化容易軸方向のデータ書込磁界Ｈ（ＥＡ）を固定値ＥＡｆｘに固定した状態で、磁化困難軸方向のデータ書込磁界Ｈ（ＨＡ）を変化させる。図２０では、一例として、固定値ＥＡｆｘ＝“＋２”である。

【０２０３】

これにより、アステロイド特性線２９０を跨いで、データ書込が不良（ＮＧ）から良好（ＯＫ）に変化する境界に対応する２つのテスト点ＰＡ１（２，－２）およびＰＡ２(２，－１)が得られる。

【０２０４】

同様に、図１９のステップＳ１２０に示したように、磁化困難軸方向のデータ書込磁界Ｈ（ＨＡ）を固定値ＨＡｆｘ（たとえば、ＨＡｆｘ＝“＋２”）に固定した状態で、磁化容易軸方向のデータ書込磁界Ｈ（ＥＡ）を変化させる。これにより、アステロイド特性線２９０を跨いで、データ書込が不良（ＮＧ）から良好（ＯＫ）に変化する境界に対応する２つのテスト点ＰＡ３（－２，２）およびＰＡ４(－１，２)が得られる。

【０２０５】

図１９のステップＳ１３０に示したように、データ書込が正常であったテスト点（すなわち候補点）であるＰＡ２、ＰＡ４を平均化して、仮動作点が得られる。図２０の例では、ＰＡ５（０，０）、ＰＡ６（０，１）、ＰＡ７（１，０）およびＰＡ８（１，１）が仮動作点として得られる。

【０２０６】

さらに、図１９のステップＳ１４０に示したように、仮動作点ＰＡ５～ＰＡ８に磁界マージン（ここでは、Ｈ（ＥＡ）およびＨ（ＨＡ）とも“＋２”）を付加して、動作点ＰＡｆ（３，２）が得られる。

【０２０７】
図１９のステップＳ１５０に示したように、当該動作点ＰＡｆに対応したデータ書込磁界（すなわちデータ書込電流）を発生するための調整信号Ｐ０～Ｐ３，ＰＰ０～ＰＰ３，Ｐ０＃～Ｐ３＃，ＰＰ０＃～ＰＰ３＃がプログラム回路へ書込まれる。これにより、実動作時には、プログラムされた調整信号群に基づいてドライバトランジスタの基板電圧が設定されるので、動作点ＰＡｆに相当するデータ書込磁界を印加したデータ書込が実行される。
【０２０８】
次に、図２１には、このようなデータ書込電流調整の効果の１つとして、アステロイド特性線が、設計値に従うアステロイド特性線２９０から製造ばらつきによって実際のアステロイド特性線２９０＃にずれてしまった場合におけるデータ書込電流の調整について説明する。
【０２０９】
図２１を参照して、図２０と同様に、固定値ＥＡｆｘ＝“＋２”およびＨＡｆｘ＝“＋２”として図１９にのステップＳ１１０およびＳ１２０を実行する。これにより、アステロイド特性線２９０＃を跨いで、データ書込が不良（ＮＧ）から良好（ＯＫ）に変化する境界に対応する２つのテスト点の組、ＰＢ１（２，－４）およびＰＢ２(２，－３)の組と、ＰＢ３（－５，２）およびＰＢ４(－４，２)の組とが得られる。
【０２１０】
さらに、図１９のステップＳ１３０を実行して、候補点であるＰＢ２、ＰＢ４を平均化して、仮動作点が得られる。図２０の例では、ＰＢ５（－１，－１）およびＰＢ６（－１，０）が仮動作点として得られる。さらに、図１９のステップＳ１４０を実行して、仮動作点ＰＢ５，ＰＢ６に磁界マージン（ここでは、Ｈ（ＥＡ）およびＨ（ＨＡ）とも“＋２”）を付加して、動作点ＰＢｆ（１，１）が得られる。得られた動作点ＰＢｆに相当するデータ書込磁界を発生するための調整信号はプログラム回路へ記憶され、実動作時には、プログラムされた調整信号群に基づいてドライバトランジスタの基板電圧が設定される。
【０２１１】
このように、アステロイド特性線が設計値からずれた場合でも、データ書込マージンを確保するとともに、過剰な電流供給による消費電力の増大および内部磁気ノイズの発生を避けるように、データ書込電流を適正なレベルへ設定できる。
【０２１２】
なお、図２０および図２１においては、データ書込磁界Ｈ（ＥＡ）とＨ（ＨＡ）との印加バランスが均衡している場合について説明した。これは、データ書込磁界Ｈ（ＨＡ）およびＨ（ＥＡ）をそれぞれ発生するためのデータ書込電流を供給するドライバトランジスタが、ある程度設計値どおりに仕上がった場合の調整に相当している。
【０２１３】
これに対して、どちらか一方のドライバトランジスタにおいて、トランジスタサイズの製造ばらつき等によって、設計値よりも小さい電流供給力しか有していないようなケースも考えられる。
【０２１４】
図２２および図２３では、このような場合においても、データ書込電流を調整可能であることが示される。
【０２１５】
図２２においては、データ書込磁界Ｈ（ＥＡ）を供給するドライバトランジスタの供給能力が相対的に低く仕上がってしまった場合における調整手法が示される。
【０２１６】
このような場合には、データ書込磁界の固定値ＥＡｆｘおよびＨＡｆｘは、図２０および図２１のケースとは異なって、アンバランスな値に設定される。たとえば、固定値ＥＡｆｘ＝“＋４”に設定され、ＨＡｆｘ＝“０”に設定されている。
【０２１７】

この状態で、図１９に示されたデータ書込電流のチューニングフローが実行されて、アステロイド特性線２９０を跨いで、データ書込が不良（ＮＧ）から良好（ＯＫ）に変化する境界に対応する２つのテスト点の組、ＰＣ１（４，－４）およびＰＣ２(４，－３)の組と、ＰＣ３（０，０）およびＰＣ４(１，０)の組とが得られる。

【０２１８】

さらに、候補点であるＰＣ２、ＰＣ４を平均化して、仮動作点が得られる。図２２の例では、ＰＣ５～ＰＣ８が仮動作点として得られる。仮動作点ＰＣ５～ＰＣ８に磁界マージンを付加して、動作点ＰＣｆ（５，０）が得られる。得られた動作点ＰＣｆに相当するデータ書込磁界を発生するための調整信号はプログラム回路へ記憶され、実動作時には、プログラムされた調整信号群に基づいてドライバトランジスタの基板電圧が設定される。

【０２１９】

一方、図２３については、データ書込磁界Ｈ（ＨＡ）を供給するドライバトランジスタの供給能力が相対的に低く仕上がってしまった場合における調整手法が示される。

【０２２０】

このような場合には、データ書込磁界の固定値ＥＡｆｘおよびＨＡｆｘは、図２０および図２１のケースとは異なって、アンバランスな値に設定される。たとえば、固定値ＨＡｆｘ＝“＋４”に設定され、ＥＡｆｘ＝“０”に設定されている。

【０２２１】

この状態で、図１９に示されたデータ書込電流のチューニングフローが実行されて、アステロイド特性線２９０を跨いで、データ書込が不良（ＮＧ）から良好（ＯＫ）に変化する境界に対応する２つのテスト点の組、ＰＤ１（０，０）およびＰＤ２(０，１)の組と、ＰＤ３（－４，４）およびＰＤ４(－３，４)の組とが得られる。

【０２２２】

さらに、候補点であるＰＤ２、ＰＤ４を平均化して、仮動作点が得られる。図２３の例では、ＰＤ５～ＰＤ８が仮動作点として得られる。仮動作点ＰＤ５～ＰＤ８に磁界マージンを付加して、動作点ＰＤｆ（０，５）が得られる。得られた動作点ＰＤｆに相当するデータ書込磁界を発生するための調整信号はプログラム回路へ記憶され、実動作時には、プログラムされた調整信号群に基づいてドライバトランジスタの基板電圧が設定される。

【０２２３】

図２２および図２３に示したように、データ書込磁界Ｈ（ＨＡ）およびＨ（ＥＡ）をそれぞれ発生させるためのデータ書込電流のドライバトランジスタ間に、製造ばらつき等に起因する相対的な電流供給能力差が生じた場合においても、データ書込マージンを確保するとともに、過剰な電流供給による消費電力の増大および内部磁気ノイズの発生を避けるように、データ書込電流を適正なレベルへ設定できる。

【０２２４】

このように、実施の形態３に従う構成においては、ドライバトランジスタの内部電圧を、実施の形態１に従う内部電圧制御回路で制御することにより、テストモード時において適正なデータ書込電流のレベルを精密に調整するとともに、当該テストモードで得られた調整結果を反映して、実動作時のデータ書込電流を設定することが可能となる。

【０２２５】

また、実施の形態３においては、ドライバトランジスタの基板電圧をデータ書込電流調整レベルに用いる構成を示したが、基板電圧ではなくドライバトランジスタのソース電圧やゲート印加電圧のレベルを同様に設定することも可能である。

【０２２６】

なお、実施の形態３では、ビット線ドライバ２５０ａ，２５０ｂにＣＭＯＳ構成のドライバを適用する構成例を示したが、同一導電型のドライバトランジスタ（たとえば、相対的に電流駆動力の大きいＮ－ＭＯＳトランジスタ）のみで構成することも可能である。このような構成においても、ドライバトランジスタへの印加電圧の設定に応じて、データ書込電流のレベルを同様に調整することができる。

【０２２７】

［実施の形態４］

実施の形態４では、ＯＵＭデバイスにおけるデータ書込電流の調節について説明する。

【０２２８】

図２４は、本発明の実施の形態４に従うＯＵＭデバイス３０１の全体構成を説明する回路図である。

【０２２９】

図２４を参照して、実施の形態４に従うＯＵＭデバイス３０１は、データ端子３０４ａ，３０４ｂと、メモリセルアレイ３０５と、行デコーダ３２０と、ワード線ドライバ３２２と、列デコーダ３２４と、列選択部３２５とを備える。

【０２３０】

メモリセルアレイ３０５は、複数のＯＵＭセルを有する。これらのＯＵＭセルは、正規メモリセル３００（以下、単に「メモリセル３００」とも称する）と、ダミーセル列３１１および３１２を形成するダミーメモリセル３００ｄに分類される。ダミーセル列３１１および３１２に配置されたダミーメモリセル３００ｄは、メモリセル３００と同一の特性（形状および構造）を有し、メモリセル３００とメモリセル行を共有するように配置される。

【０２３１】

メモリセル３００およびダミーメモリセル３００ｄによって共有されたメモリセル行にそれぞれ対応して、ワード線ＷＬおよびコレクタ線ＣＬが配置される。メモリセル３００によって構成されるメモリセル列にそれぞれ対応してビット線ＢＬが配置され、ダミーセル列３１１に対してはダミービット線ＤＢＬ０が配置され、ダミーセル列３１２に対しては、ダミービット線ＤＢＬ１が配置される。コレクタ線ＣＬは、接地電圧ＧＮＤと接続される。

【０２３２】

メモリセル３００およびダミーメモリセル３００ｄの各々は、対応するビット線ＢＬ（またはダミービット線ＤＢＬ０，ＤＢＬ１）およびコレクタ線ＣＬの間に直列に接続された、カルコゲナイド層３１０およびスイッチングトランジスタ３１５を有する。

【０２３３】

ここで、ＯＵＭセルの構成およびデータ記憶原理について説明しておく。

【０２３４】

図２５は、ＯＵＭセルによって構成されたメモリセルアレイの一部を示す平面図である。

【０２３５】

図２５を参照して、行列状に配列されたワード線ＷＬおよびビット線ＢＬの交点に対応して、カルコゲナイド層３１０を有するメモリセル３００が配置される。

【０２３６】

図２６は、図２５におけるＰ－Ｑ断面図である。

【０２３７】

図２６を参照して、スイッチングトランジスタ３１５は、ｐ型領域３３０上に形成されたｎ型領域３３２と、ｎ型領域３３２内に形成されたｐ型領域３３４とを有する。スイッチングトランジスタ３１５は、ｐ型領域３３０、ｎ型領域３３２およびｐ型領域３３４によるｐｎｐ型の縦型寄生バイポーラトランジスタで形成される。

【０２３８】

ｎ型領域３３２は、図２４および図２５に示したワード線ＷＬに相当する。また、カルコゲナイド層３１０およびスイッチングトランジスタ３１５の間には、通過電流によって発熱する加熱素子３３５が設けられる。データ書込時には、スイッチングトランジスタ３１５がターンオンされるとともに、ビット線ＢＬからカルコゲナイド層３１０および加熱素子３３５を通過するデータ書込電流が流される。当該データ書込電流の供給パターン（たとえば供給期間および供給電流量）に応じて、カルコゲナイド層３１０は、結晶状態およびアモルファス状態のいずれか一方に相変化する。カルコゲナイド層３１０は、アモル

ファス状態時および結晶状態時のそれぞれにおいて、異なる電気抵抗を有する。具体的には、アモルファス化されたカルコゲナイド層は、結晶化時よりも電気抵抗が高い。

【０２３９】

すなわち、ＯＵＭセルは、ＭＴＪメモリセルと同様に、記憶データに応じて電気抵抗ＲｍａｘおよびＲｍｉｎのいずれかを有することとなる。なお、ＭＴＪメモリセルおよびＯＵＭセルのデータ記憶時における電気抵抗はそれぞれ異なるが、本明細書では記憶データのレベルに応じた２種類の電気抵抗を共通にＲｍａｘおよびＲｍｉｎで表現するものとする。

【０２４０】

したがって、データ読出時には、スイッチングトランジスタ３１５をターンオンさせて、相変化に至らないレベルのデータ読出電流をカルコゲナイド層３１０に通過させることによって、選択メモリセルの電気抵抗に基づいてデータ読出を実行することができる。

【０２４１】

すなわち、ＯＵＭデバイスにおいても、ＭＲＡＭデバイスと同様に、データ書込電流のレベルによって、データ書込の正常／不良が左右される。したがって、データ書込マージン確保および消費電力の抑制の観点から、データ書込電流レベルの設定を精密に実行する必要がある。

【０２４２】

上述したように、ＯＵＭセルからのデータ読出は、記憶データレベルに応じた電気抵抗差の検知によって、代表的には、選択メモリセルの通過電流の検知によって実行される。しかし、一般的に、メモリセルの信頼性等を考慮すればデータ読出時での通過電流は、微小レベルに留まってしまう。

【０２４３】

このため、各ＯＵＭセルごとに１ビットのデータ記憶を実行するアレイ構成では、データ読出対象に選択された１個のＯＵＭセルの通過電流を所定の基準電流と比較して読出す必要がある。このようなアレイ構成では、ビット当たりの面積を小さくして高集積化が図られる反面、上述したような高精度の電流検知が必要となるので、製造ばらつき等に起因する電流レベルの変動によって、データ読出精度が悪化するおそれがある。

【０２４４】

したがって、記憶データの信頼性が強く要求される用途では、相補データを書込まれた２個のＯＵＭセルによって１ビットのデータ記憶を実行するアレイ構成を採用することが望ましい。しかしながら、このようなアレイ構成では、高集積化が妨げられるため、記憶データ容量が優先的に要求される用途では、十分なパフォーマンスを得ることができない。

【０２４５】

このようにメモリデバイスのアプリケーションによって重要視される特性は異なるが、用途に応じて異なるアレイ構成を採用すれば、設計の煩雑化や製コストの複雑化を招いてしまい、コストに悪影響を与える。特に、用途の異なる複数の機能ブロックから構成されるシステムＬＳＩ（Large Scale Integrated circuit）へＭＲＡＭデバイスを組込む場合に、この問題は顕著になってしまう。

【０２４６】

実施の形態４に従うＯＵＭデバイス３０１では、このような問題点をも解決するために、メモリセル３００の各々が１ビットのデータを記憶する第１のモードと、組をなす２個のメモリセル３００ごとに１ビットのデータを記憶する第２のモードとを有する。当該第１および第２のモードのそれぞれでは、入力アドレスのデコード結果に基づいて、１個のメモリセルおよび組をなす２個のメモリセルがそれぞれアクセス対象に選択されるので、以下においては、それぞれのモードを「１セルデコードモード」および「２セルデコードモード」ともそれぞれ称する。モード制御信号ＭＤＳは、ＯＵＭデバイス３０１が、１セルデコードモードおよび２セルデコードモードのいずれによって動作するかを指示するための電気信号である。

【０２４７】
また、後の説明で明らかになるように、実施の形態４に従うＯＵＭデバイスにおいても、実施の形態３に従うＭＲＡＭデバイスと同様に、データ書込電流レベルの設定を調整するための構成が設けられている。
【０２４８】
再び図２４を参照して、実施の形態４に従うＯＵＭデバイスにおけるアドレス選択について説明する。
【０２４９】
ワード線ドライバ３２２は、ワード線ＷＬにそれぞれ対応して設けられる。ワード線ドライバ３２２は、行デコーダ３２０からの行選択結果に応じて、データ読出およびデータ書込時の各々において、選択行のワード線ＷＬをＨレベルへ活性化する。列デコーダ３２４は、入力アドレスによって示されるコラムアドレスＣＡと、ＯＵＭデバイス３０１におけるデコードモードを示すモード制御信号ＭＤＳとを受ける。
【０２５０】
メモリセルアレイ３０５において、メモリセル３００の列は順番に２つずつのペアに分割され、２セルデコード時においては、それぞれのペアにおいて、隣接する、すなわち同一のメモリセル行に属する２個のメモリセルが組を形成して、１ビットのデータ記憶を実行するものとする。図２４においては、奇数番目のメモリセル列（以下、「奇数列」と称する）および偶数番目のメモリセル列（以下、「偶数列」と称する）が代表的に１つずつ示されている。以下では、奇数列のビット線をビット線ＢＬと表記し、偶数列のビット線をビット線ＢＬ＃と表記するものとする。
【０２５１】
列デコーダ３２４は、モード制御信号ＭＤＳおよびコラムアドレスＣＡに応じて、コラムデコード信号ＣＤＳ、デコード制御信号ＳＣＤ０，ＳＣＤ１，ＤＣＤを生成する。
【０２５２】
列選択部３２５は、奇数列に対応して設けられた、列選択部ＣＳＧ、デコード選択部ＭＳＧａ，ＭＳＧｂおよび読出選択ゲートＲＳＧａ，ＲＳＧｂと、偶数列に対応して設けられた、列選択部ＣＳＧ＃、デコード選択部ＭＳＧａ＃，ＭＳＧｂ＃および読出選択ゲートＲＳＧａ＃，ＲＳＧｂ＃とを含む。
【０２５３】
同一のペアを構成するメモリセル列にそれぞれ対応する列選択部ＣＳＧおよびＣＳＧ＃の出力は、共通のコラムデコード信号ＣＤＳによって制御される。したがって、１セルデコードモードおよび２セルデコードモードの各々において、選択メモリセルに対応するペアに属する列選択部ＣＳＧおよびＣＳＧ＃の出力はＨレベルへ活性化され、それ以外の列選択部ＣＳＧおよびＣＳＧ＃の出力はＬレベルへ非活性化される。
【０２５４】
１セルデコードモードでは、デコード制御信号ＳＣＤ０，ＳＣＤ１は、コラムアドレスＣＡに応じて、一方がＨレベルへ他方がＬレベルへ設定される。また、デコード制御信号ＤＣＤは、Ｌレベルに設定される。
【０２５５】
これに対して、２セルデコードモード時には、デコード制御信号ＳＣＤ０，ＳＣＤ１の各々はＬレベルに固定され、デコード制御信号ＤＣＤはＨレベルに設定される。
【０２５６】
奇数列において、デコード選択部ＭＳＧａは、対応する列選択部ＣＳＧの出力とデコード制御信号ＳＣＤ０とのＡＮＤ論理演算結果を出力する。デコード選択部ＭＳＧｂは、対応する列選択部ＣＳＧの出力とデコード制御信号ＤＣＤとのＡＮＤ論理演算結果を出力する。偶数列において、デコード選択部ＭＳＧａ＃は、対応する列選択部ＣＳＧ＃の出力とデコード制御信号ＳＣＤ１とのＡＮＤ論理演算結果を出力する。デコード選択部ＭＳＧｂ＃は、対応する列選択部ＣＳＧ＃の出力とデコード制御信号ＤＣＤとのＡＮＤ論理演算結果を出力する。

【０２５７】
奇数列において、読出選択ゲートＲＳＧａおよびＲＳＧｂは、対応するビット線ＢＬと読出データ線ＲＤＬ１との間に並列に接続される。読出選択ゲートＲＳＧａおよびＲＳＧｂのゲートには、デコード選択部ＭＳＧａおよびＭＳＧｂの出力がそれぞれ入力される。
【０２５８】
これに対して偶数列においては、読出選択ゲートＲＳＧａ＃およびＲＳＧｂ＃は、対応するビット線ＢＬ＃と読出データ線ＲＤＬ１およびＲＤＬ２との間にそれぞれ接続される。読出選択ゲートＲＳＧａ＃およびＲＳＧｂ＃のゲートには、デコード選択部ＭＳＧａ＃およびＭＳＧｂ＃の出力がそれぞれ入力される。読出選択ゲートＲＳＧａ，ＲＳＧｂおよびＲＳＧａ＃，ＲＳＧｂ＃は、Ｎ－ＭＯＳトランジスタで構成される。
【０２５９】
したがって、１セルデコードモードでのデータ読出時には、１つのメモリセル列が選択されて、１つの選択列において読出選択ゲートＲＳＧａ（またはＲＳＧａ＃）がオンして、選択列のビット線ＢＬまたはＢＬ＃が読出データ線ＲＤＬ１と接続される。一方、読出データ線ＲＤＬ２は、いずれのビット線とも接続されない。
【０２６０】
これに対して、２セルデコードモードでのデータ読出時には、ペアを構成する２つのメモリセル列（奇数列および偶数列）が選択されて、２つの選択列のそれぞれにおいて、読出選択ゲートＲＳＧｂおよびＲＳＧｂ＃がオンする。この結果、選択列のビット線ＢＬおよびＢＬ＃は、読出データ線ＲＤＬ１およびＲＤＬ２と接続される。
【０２６１】
図示しないが、列選択部３２５において、同様の構成が各メモリセル列に対応して設けられている。
【０２６２】
このように、行デコーダ３２０、列デコーダ３２４および列選択部３２５によって、入力アドレスに基づいたメモリセル３００へのアクセスが切換えられる。すなわち、１セルデコードモードでは、メモリセル３００のうちの入力アドレスに応じた１個の選択メモリセルがアクセス対象に選択され、２セルデコードモードでは、メモリセル３００の２個ずつの組のうちの１つが入力アドレスに応じて選択され、当該組を構成する２個の選択メモリセルがアクセス対象に選択される。
【０２６３】
次に、データ書込のための構成についてさらに説明する。
【０２６４】
各ビット線ＢＬおよびダミービット線ＤＢＬ０，ＤＢＬ１の各々に対しては、ビット線ドライバ３５０が設けられる。ビット線ドライバ３５０は、ドライバトランジスタ３５１および３５２を有する。ドライバトランジスタ３５１および３５２は、相対的に電流駆動力の大きいＮチャネルＭＯＳトランジスタで構成される。ドライバトランジスタ３５１は、内部電圧配線４１０および対応するビット線ＢＬまたはダミービット線ＤＢＬ０，ＤＢＬ１の間に接続され、ドライバトランジスタ３５２は、接地電圧ＧＮＤおよび対応するビット線ＢＬまたはダミービット線ＤＢＬ０，ＤＢＬ１の間に接続される。
【０２６５】
各メモリセル列においてドライバトランジスタ３５１および３５２のゲート電圧は、その通過電流量および電流通過タイミングを制御するために、データ書込回路３４０によって、コラムアドレスＣＡおよび入力データＤＩＮに基づいて制御される。
【０２６６】
内部電圧配線４１０によって伝達される内部電圧Ｖｃｓは、上述したように、データ書込電流を駆動するビット線ドライバ３５０に対して、ソース電圧として印加される。
【０２６７】
ソース電圧発生回路４００Ｓは、図４に示された内部電圧制御回路４０と同様に構成されて、調整信号Ｐ０～Ｐ３に応じた目標レベルへ内部電圧Ｖｃｓを制御する。すなわち、

ソース電圧発生回路４００Ｓは、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる調整信号Ｐ０～Ｐ３に応じて、内部電圧Ｖｃｓを段階的に設定することができる。

【０２６８】

このような構成とすることにより、調整信号Ｐ０～Ｐ３に応じて、ドライバトランジスタ３５１，３５２の電流駆動能力を調整して、データ書込電流のレベルを調整することが可能となる。

【０２６９】

図２７は、実施の形態４に従うＯＵＭデバイスにおけるデータ書込構成を示す回路図である。図２７には、特に、図２４に示したデータ書込回路３４０の構成が示されている。

【０２７０】

図２７を参照して、データ書込回路３４０は、奇数列の各々に対応して設けられた伝達ゲート３４１，３４２、ラッチ回路３４４およびドライブ制御回路３４５と、偶数列の各々に対応して設けられた、伝達ゲート３４１＃，３４２＃、インバータ３４３、ラッチ回路３４４＃およびドライブ制御回路３４５＃とを有する。さらに、ダミーセル列のダミービット線ＤＢＬ０，ＤＢＬ１に対しては、ドライブ制御回路３４５ｄが設けられる。

【０２７１】

伝達ゲート３４１および３４２は、データ端子３０４ｂへの入力データＤＩＮを伝達する書込データ線ＤＬとラッチ回路３４４との間に並列に接続される。伝達ゲート３４１および３４２は、Ｎ―ＭＯＳトランジスタで構成され、それぞれのゲートには、図２４で説明したデコード選択部ＭＳＧａおよびＭＳＧｂの出力がそれぞれ入力される。

【０２７２】

インバータ３４３は、書込データ線ＤＬ上の入力データＤＩＮを反転して出力する。伝達ゲート３４１＃は、書込データ線ＤＬおよびラッチ回路３４４＃の間に接続され、伝達ゲート３４２＃は、インバータ３４３の出力ノードおよびラッチ回路３４４＃の間に接続される。伝達ゲート３４１＃および３４２＃は、Ｎ―ＭＯＳトランジスタで構成され、それぞれのゲートには、図２４で説明したデコード選択部ＭＳＧａ＃およびＭＳＧｂ＃の出力がそれぞれ入力される。

【０２７３】

したがって、１セルデコードモードでは、選択メモリセルに対応する１つの選択列において、伝達ゲート３４１または３４１＃がオンして、対応するラッチ回路３４４または３４４＃に入力データＤＩＮが伝達されて書込データＷＤとして保持される。

【０２７４】

一方、２セルデコードモードでは、選択メモリセルに対応する対をなす２つの選択列のそれぞれにおいて、伝達ゲート３４２および３４２＃がオンする。この結果、２つの選択列にそれぞれ対応するラッチ回路３４４および３４４＃に入力データＤＩＮおよびその反転データがそれぞれ伝達されて、書込データＷＤとして保持される。

【０２７５】

ドライブ制御回路３４５，３４５＃の各々は、対応するメモリセル列の選択結果および対応するラッチ回路３４４，３４４＃にラッチされた書込データＷＤに応じて、対応するビット線ドライバ３５０の動作を制御する書込制御信号ＷＴＡ，ＷＴＢを生成する。

【０２７６】

ドライブ制御回路３４５，３４５＃の各々は、データ書込時以外（制御信号ＷＥ＝Ｌレベル）、または、データ書込時であっても対応するメモリセル列が非選択列である場合には、非ライト動作を実行するために、書込制御信号ＷＴＡ，ＷＴＢの各々をＬレベルに設定する。したがって、非ライト動作時には、対応するビット線ＢＬ（ＢＬ＃）は、フローティング状態に設定される。

【０２７７】

これに対して、データ書込時（ＷＥ＝Ｈレベル）であり、かつ、対応するメモリセル列が選択された場合には、各ドライブ制御回路３４５，３４５＃は、対応するラッチ回路３

４４，３４４＃にラッチされた書込データＷＤに応じて、書込制御信号ＷＴＡ，ＷＴＢを設定する。

【０２７８】

具体的には、書込制御信号ＷＴＡ，ＷＴＢによって、対応するドライバトランジスタ３５１，３５２のオン・オフが制御される。カルコゲナイド層３１０を結晶状態およびアモルファス状態のうちの書込データＷＤに応じたいずれか一方に相変化させるようなパターン（たとえば供給期間および供給電流量）を有するデータ書込電流がビット線ＢＬ，ＢＬ＃に流れるように、ドライバトランジスタ３５１，３５２のオン・オフは制御される。

【０２７９】

同様の構成は、各奇数列および各偶数列に対応して設けられる。なお、ビット線ドライバ３５０の駆動電圧を、接地電圧ＧＮＤおよび電源電圧Ｖｃｃ以外の独立した電圧とすることも可能である。

【０２８０】

この結果、実施の形態４に従うＯＵＭデバイスでは、１セルデコードモードでのデータ書込時には、１個の選択メモリセルに対して入力データＤＩＮが書込まれ、２セルデコードモードのデータ書込時には、組をなす２個の選択メモリセルの一方（奇数列）に入力データＤＩＮが書込まれ、他方のメモリセルに入力データＤＩＮの反転データ（相補データ）が書込まれる。このようにして、電気信号であるモード制御信号ＭＤＳに応答して、データ読出およびデータ書込動作を、１セルデコードモードおよび２セルデコードモードに対応させて切換えることが可能である。

【０２８１】

また、既に説明したように、データ書込マージンが確保可能な範囲でデータ書込電流を適正レベルに調整して、低消費電力化を図ることができる。

【０２８２】

なお、実施の形態４に従うＯＵＭデバイス３０１では、ビット線ドライバ３５０のソース電圧の設定を調整することによってデータ書込電流を調整する構成を示したが、ドライバトランジスタ３５１，３５２の基板電圧やゲート印加電圧の設定を調整することによって、データ書込電流を調整する構成とすることも可能である。

【０２８３】

再び図２４を参照して、ＯＵＭデバイスのデータ読出構成について説明する。

【０２８４】

ＯＵＭデバイス３０１は、さらに、読出データ線ＲＤＬ１，ＲＤＬ２と、参照データ線ＤＬｒ０，ＤＬｒ１と、ダミー選択ゲートＤＳＧ０，ＤＳＧ１と、電流供給トランジスタ３４６～３４９と、データ読出回路３６０とを備える。

【０２８５】

電流供給トランジスタ３４６および３４７は、たとえばＮ－ＭＯＳトランジスタで構成され、読出データ線ＲＤＬ１およびＲＤＬ２と電源電圧Ｖｃｃ＃との間にそれぞれ接続される。電流供給トランジスタ３４６および３４７は、たとえばＮ－ＭＯＳトランジスタで構成され、参照データ線ＤＬｒ０およびＤＬｒ１と電源電圧Ｖｃｃ＃との間にそれぞれ接続される。電流供給トランジスタ３４６～３４９の各々は、同等の電流供給能力を有し、各ゲートはたとえば電源電圧Ｖｃｃ＃と接続される。これにより読出データ線ＲＤＬ１，ＲＤＬ２および参照データ線ＤＬｒ０，ＤＬｒ１の各々は、電源電圧Ｖｃｃ＃によってプルアップされる。なお、電流供給トランジスタ３４６～３４９のゲートにデータ読出動作時に活性化される信号を入力して、データ読出動作時においてのみ読出データ線および参照データ線を電源電圧Ｖｃｃ＃でプルアップする構成としてもよい。

【０２８６】

ダミー選択ゲートＤＳＧ０は、ダミービット線ＤＢＬ０と参照データ線ＤＬｒ０との間に接続されて、ダミー制御信号ＤＳＬ０の活性化（Ｈレベル）に応答してオンする。ダミー選択ゲートＤＳＧ１は、ダミービット線ＤＢＬ１と参照データ線ＤＬｒ１との間に接続されて、ダミー制御信号ＤＳＬ１に応答してオン・オフする。ダミー選択ゲートＤＳＧ０

，ＤＳＧ１は、たとえばＮチャネルＭＯＳトランジスタで構成される。ダミー制御信号ＤＳＬ０およびＤＳＬ１の各々は、１セルデコードモードにおいてＨレベルに設定され、２セルデコードモードにおいてＬレベルに設定される。

【０２８７】

なお、読出選択ゲートＲＳＧａ，ＲＳＧｂ，ＲＳＧａ＃，ＲＳＧｂ＃およびダミー選択ゲートＤＳＧ０，ＤＳＧ１の各々は、データ読出時以外では、デコードモードおよび列選択結果にかかわらず、強制的にターンオフされるものとする。

【０２８８】

データ読出回路３６０は、スイッチ３６１，３６２と、センスアンプ３６４～３６６と、ラッチ回路３６８とを有する。スイッチ３６１は、読出データ線ＲＤＬ２および参照データ線ＤＬｒ１の一方を選択的にノードＮＲ１と接続する。スイッチ３６２は、読出データ線ＲＤＬ２および参照データ線ＤＬｒ０の一方を選択的にノードＮＲ３と接続する。ノードＮＲ２は、読出データ線ＲＤＬ１と接続されている。

【０２８９】

センスアンプ３６４は、ノードＮＲ２に対するノードＮＲ１の電圧差（または電流差）を増幅し、センスアンプ３６５は、ノードＮＲ２に対するノードＮＲ３の電圧差（または電流差）をセンスアンプ３６４とは逆の極性で増幅する。センスアンプ３６６は、センスアンプ３６４および３６５の出力差をさらに増幅する。ラッチ回路３６８は、センスアンプ３６４～３６６の増幅動作の所要時間を考慮して、センスアンプ３６６からの出力が所定レベル以上の振幅に達したときのタイミングで、センスアンプ３６６の出力をラッチする。

【０２９０】

次に、それぞれのデコードモードでのデータ読出について詳細に説明する。

【０２９１】

データ読出動作時には、ロウアドレスＲＡに応答して、選択行のワード線ＷＬがＨレベルに活性化され、対応するメモリセル３００およびダミーメモリセル３００ｄにおいて、スイッチングトランジスタ３１５がターンオンする。これにより、各ビット線ＢＬ，ＢＬ＃およびダミービット線ＤＢＬ０，ＤＢＬ１は、対応するカルコゲナイド層３１０を介してコレクタ線ＣＬ（接地電圧ＧＮＤ）へプルダウンされる。

【０２９２】

既に説明したように、１セルデコードモードでは、列選択部３２５は、選択列のビット線ＢＬ（またはＢＬ＃）を読出データ線ＲＤＬ１と接続し、読出データ線ＲＤＬ２をいずれのビット線とも非接続とする。したがって、読出データ線ＲＤＬ１には、選択メモリセルの電気抵抗ＲａｘまたはＲｍｉｎ（すなわち記憶データ）に応じた電流および電圧が発生する。

【０２９３】

一方、ダミー選択ゲートＤＳＧ０およびＤＳＧ１の各々がターンオンするので、参照データ線ＤＬｒ０には電気抵抗Ｒｍａｘに対応した電流および電圧が発生し、参照データ線ＤＬｒ１には、電気抵抗Ｒｍｉｎに応じた電流および電圧が発生する。

【０２９４】

スイッチ３６１および３６２は、１セルデコードモードでは、参照データ線ＤＬｒ１およびＤＬｒ０をノードＮＲ１およびＮＲ３とそれぞれ接続する。この結果、センスアンプ３６４は、選択メモリセルおよびダミーメモリセルＤＭＣ（電気抵抗Ｒｍｉｎ）のそれぞれへのアクセス結果を比較し、センスアンプ３６５は、選択メモリセルおよびダミーメモリセルＤＭＣ（電気抵抗Ｒｍａｘ）のそれぞれへのアクセス結果を比較することになる。この結果、センスアンプ３６４および３６５のうちの一方の出力がほとんど振幅しないのに対して、他方の出力は、選択メモリセルの記憶データに応じて異なった極性で振幅する。したがってセンスアンプ３６４および３６５の出力を、センスアンプ３６６によってさらに増幅することにより、選択メモリセルから記憶データを読出すことが可能である。

【０２９５】

２セルデコードモードにおいて、行選択は、１セルデコードモードと同様に実行される。すなわち、各ビット線ＢＬ，ＢＬ＃およびダミービット線ＤＢＬ０，ＤＢＬ１は、対応するカルコゲナイド層３１０を介してコレクタ線ＣＬ（接地電圧ＧＮＤ）にプルダウンされている。

【０２９６】

既に説明したように、２セルデコードモードでは、列選択部３２５は、選択列のビット線ＢＬおよびＢＬ＃を読出データ線ＲＤＬ１およびＲＤＬ２とそれぞれ接続する。したがって、読出データ線ＲＤＬ１およびＲＤＬ２には、２個の選択メモリセルの一方ずつの電気抵抗（すなわち記憶データ）に応じた電流および電圧が発生する。一方、ダミー選択ゲートＤＳＧ０およびＤＳＧ１の各々がターンオフする。

【０２９７】

スイッチ３６１および３６２は、２セルデコードモードでは、読出データ線ＲＤＬ２をノードＮＲ１およびＮＲ３とそれぞれ接続する。この結果、センスアンプ３６４および３６５は、相補のデータがそれぞれ書込まれている２個の選択メモリセルのそれぞれへのアクセス結果を、互いに逆の極性で比較することになる。この結果、センスアンプ３６４および３６５の出力は、選択メモリセルの記憶データに応じて、それぞれ異なった極性で振幅する。したがって、センスアンプ３６４および３６５の出力を、センスアンプ３６６によってさらに増幅することにより、選択メモリセルの電気抵抗がＲｍａｘおよびＲｍｉｎのいずれにより近いかを検知できる。この結果、選択メモリセルの記憶データを読出すことができる。

【０２９８】

データ読出回路３６０の後段には、図１８に示したＭＲＡＭデバイスの構成と同様に、スイッチ回路２７０およびデータ比較回路２８０が配置される。スイッチ回路２７０およびデータ比較回路２８０の動作は、図１８で説明したのと同様であるので、詳細な説明は繰り返さない。

【０２９９】

これにより、実施の形態４に従うＯＵＭデバイスにおいても、実施の形態３に従うＭＲＡＭデバイスと同様に、メモリセルアレイ３０５内の少なくとも一部のメモリセルに対して、調整信号Ｐ０～Ｐ３に応じて調整可能なデータ書込電流によって所定レベルのデータをテスト書込し、その後、当該テスト書込対象となったＭＴＪメモリセルＭＣからのデータ読出を実行して、その際のデータ比較回路２８０の出力に基づいて評価することによって、データ書込電流量が適正であるか否かを評価することができる。

【０３００】

実施の形態４に従う構成においては、モード制御信号ＭＤＳのレベルに応じて、データ読出およびデータ書込におけるメモリセルへのアクセスを、１セルデコードモードおよび２セルデコードモードで切換えることができる。すなわち、共通のアレイ構成において、電気信号のレベルに応じて、１ビットの記憶に要するメモリセルの個数を切換えることができる。

【０３０１】

さらに、アドレスとモード制御信号とを適切に対応付けることにより、同一メモリセルアレイ内において、１セルデコードモードでの動作領域と、２セルデコードモードでの動作領域とを設けることも可能である。この結果、本発明の実施の形態４に従う不揮発性記憶装置は、アレイ構成を変更することなく、データ容量が優先されるアプリケーションおよびデータ信頼性が優先されるアプリケーションの両方に柔軟に対応することができる。

【０３０２】

特に、これら動作領域の境界についても、アドレスおよびモード制御信号の設定によって、アレイ構成を変更することなくソフト的に設定を切換えることができる。これにより、実施の形態４に従うＯＵＭデバイスは、そのアプリケーションに応じて、データ容量が要求される場合には、１セルデコードモードでの動作領域を増やし、データ信頼性が要求される場合には、２セルデコードモードでの動作領域を増やすというような柔軟な動作を

も実現することができる。

【０３０３】

さらに、ダミーメモリセル３００ｄを正規のメモリセル３００と同様の特性（構成および形状）とすることによって、ダミーメモリセルを作製するための特別の設計や製造工程が不要となり、連続的に作成されたＯＵＭセルの一部を用いて、ダミーメモリセルを構成できる。したがって、製造工程の複雑化によるチップ面積の増大およびメモリセルアレイの加工マージンの低下等といった問題を招くことなく、ダミーメモリセルを製造することができる。特に、メモリセルアレイ３０５内での構造の連続性を確保できるので、メモリセルおよびダミーメモリセルの特性の安定化にも寄与できる。

【０３０４】

また、データ読出精度が相対的に劣る１セルデコードモードにおいても、Ｈレベルおよびレベルをそれぞれ記憶するメモリセルＭＣとそれぞれ同様の特性を有するダミーメモリセル群を参照してデータ読出を実行できるので、データ読出精度を向上できる。

【０３０５】

なお、ＭＴＪメモリセルとＯＵＭセルとは、選択メモリセルの電気抵抗（あるいは通過電流）に応じてデータ読出が実行される点で共通するので、実施の形態４に示す構成をＭＴＪメモリセルで構成されたメモリセルアレイへ適用することも可能である。この場合には、データ読出構成については、図２４に示したのと同様の構成を用いることができるが、データ書込構成については、図１７および図１８に示された、ライトディジット線ドライブ回路およびビット線ドライバを適用する必要がある。

【０３０６】

[実施の形態５]

実施の形態５以降では、実施の形態３で説明した、ＭＲＡＭデバイスにおけるデータ書込電流レベルの調整について、種々のケースに対応した手法について説明していく。

【０３０７】

図２８および２９は、実施の形態５におけるデータ書込電流の調整を説明する概念図である。

【０３０８】

図２８（ａ）には、図１６と同様に設計時の理想的なデータ書込特性が示される。図２８（ａ）において、横軸は磁化容易軸方向の磁界Ｈ（ＥＡ）の方向および大きさを示し、縦軸は磁化困難軸方向に沿った磁界Ｈ（ＨＡ）の方向および大きさを示している。これまで説明したように、磁界Ｈ（ＥＡ）の方向および大きさは、選択されたビット線ＢＬを流れるビット線電流ＩＢＬの方向および大きさで決まり、磁界Ｈ（ＨＡ）の方向および大きさは、選択されたライトディジット線ＷＤＬを流れるディジット線電流ＩＤＬの方向および大きさで決まる。したがって、以降では、データ書込特性を示す図における縦軸および横軸を、それぞれビット線電流ＩＢＬおよびディジット線電流ＩＤＬで示すこととする。

【０３０９】

既に説明したように、ライトディジット線ＷＤＬ上のデータ書込電流Ｉｐは一定方向であるので、データ書込動作は、ＩＤＬ＞０の領域のみで実行されるものとする。一方、ビット線電流ＩＢＬは、書込データがＨレベルおよびＬレベルのいずれであるかによってその方向が異なる。したがって、Ｈレベルデータ書込時にＩＢＬ＞０（すなわちＩＢＬ＝＋Ｉｗ）に設定され、Ｌレベルデータの書込時にＩＢＬ＜０（すなわちＩＢＬ＝－Ｉｗ）に設定されるものとする。

【０３１０】

図２８（ａ）に示した理想的な状態では、Ｌレベルデータ書込時におけるアステロイド特性線３９０＃と、Ｈレベルデータ書込時におけるアステロイド特性線３９１＃とは、ＩＤＬ軸（縦軸）に対して対称である。このため、Ｌレベルデータ書込時の動作点４００＃とＨレベルデータ書込時の動作点４０１＃もＩＤＬ軸（縦軸）に関して対称とできる。この結果、Ｈレベルデータ書込時およびＬレベルデータ書込時のそれぞれにおけるビット線電流ＩＢＬは、互いに反対方向であり、かつ、大きさ（絶対値）が互いに等しくなる。

【０３１１】
図２８（ｂ）に示されるように、実施の形態５においては、製造時のばらつき等によって、作製されたＭＴＪメモリセルに対するＨレベルデータ書込およびＬレベルデータ書込時の実際のアステロイド特性線３９０および３９１が、ＩＤＬ軸（縦軸）に関して、非対称となってしまったケースを想定して、このようなケースに対応するためのデータ書込電流の調整を説明する。
【０３１２】
すなわち、実施の形態５では、書込データに応じて適正なビット線電流ＩＢＬの大きさが異なるようなデータ書込特性の非対称性を想定している。これに対応して、実際のアステロイド特性線３９０および３９１に合わせて、図２８（ａ）に示した設計時の動作点４００＃および４０１＃を、調整された動作点４００および４０１にずらす必要が生じる。すなわち、実施の形態５においては、データ書込に必要なビット線電流ＩＢＬの絶対値が、書込データがＨレベルおよびＬレベルのいずれであるかによって異なっており、これに対応したデータ書込電流の調整が要求される。
【０３１３】
もし、ビット線電流ＩＢＬの大きさが電流方向ごとに調整できない場合には、相対的に大きなビット線電流が必要な条件（図２８ではＬレベル書込時）に合わせて、両方のレベルでのデータ書込を行なう必要がある。しかし、この場合には、相対的に小さなビット線電流が必要な条件（図２８ではＨレベル書込時）では、過剰なビット線電流が流れることになる。これにより、非選択メモリセルへの磁気ノイズが増加するので、データ書込動作の安定性が低下する。
【０３１４】
図２９には、図２８の現象がより詳細に示される。
【０３１５】
図２９（ａ）には、ＩＢＬ＜０の範囲、すなわちＬレベルデータ書込時における、設計時のアステロイド特性線３９０＃（図２８（ａ））および実際のアステロイド特性線３９０（図２８（ｂ））が示されている。このようにアステロイド特性線が設計時からずれることにより、Ｌレベルデータ書込時の実際の動作点４００は、設計時の動作点４００＃とは異なるように調整される。すなわち、データ書込電流－Ｉｗに相当するビット線電流が、設計値ＩＢ０＃からＩＢ０へ調整される。
【０３１６】
同様に、図２９（ｂ）には、ＩＢＬ＞０の範囲、すなわちＨレベルデータ書込時における、設計時のアステロイド特性線３９１＃（図２８（ａ））および実際のアステロイド特性線３９１（図２８（ｂ））が示されている。アステロイド特性線が設計時からずれるので、Ｈレベルデータ書込時の実際の動作点４０１は、設計時の動作点４０１＃とは異なるように調整される。すなわち、データ書込電流＋Ｉｗに相当するビット線電流が、設計値ＩＢ１＃からＩＢ１へ調整される。
【０３１７】
図２８および図２９に示した例では、Ｌレベルデータ書込時のビット線電流を設計値ＩＢ０＃よりも大きく調整し（｜ＩＢ０｜＞｜ＩＢ０＃｜）、Ｈレベルデータ書込時のビット線電流を設計値ＩＢ１＃よりも小さく調整（｜ＩＢ１｜＜｜ＩＢ１＃｜）する必要がある。すなわち、実施の形態５では、データ書込電流Ｉｐに相当するディジット線線電流ＩＤＬが設計値ＩＤＬ＃に固定される一方で、ビット線電流ＩＢＬの大きさ（絶対値）がＬレベルデータおよびＨレベルデータの書込時でそれぞれ異なるように調整を行なう。
【０３１８】
次に、図２９に示したような動作点の調整が可能なＭＲＡＭデバイスの構成について説明する。
【０３１９】
図３０は、実施の形態５に従うＭＲＡＭデバイスの構成を示すブロック図である。
【０３２０】

図３０を参照して、実施の形態５に従うＭＲＡＭデバイスは、図１４および図１８で説明した実施の形態３に従うＭＲＡＭデバイスと同様に、複数のメモリセルＭＣが配列されたメモリセルアレイ２１０と、メモリセルＭＣの各行に対応して設けられたライトディジット線ＷＤＬおよびリードワード線ＲＷＬと、メモリセルＭＣの各列に対応して設けられたビット線ＢＬと、ビット線ＢＬごとに設けられたビット線ドライバ２５０ａ，２５０ｂと、ライトディジット線ドライブ回路２２０とを備える。

【０３２１】

さらに、図示しないが、実施の形態５に従うＭＲＡＭデバイスにおいても、実施の形態３に従うＭＲＡＭデバイスと同様に、図１４に示した行デコーダ２１５Ｒ，２１５Ｗと、図１８に示したデータ書込回路２５１およびデータ読出構成とが示されているものとする。ＭＲＡＭデバイスのこれらの要素については、実施の形態３で説明したのと同様であるので詳細な説明は繰返さない。

【０３２２】

ライトデジタル線ドライブ回路２２０は、各ライトディジット線ＷＤＬごとに設けられたドライブユニット２２０ｕを有する。各ドライブユニット２２０ｕは、図１４に示されたドライバトランジスタ２２２に相当し、電源電圧Ｖｃｃの供給を受ける。選択行のドライブユニット２２０ｕは、各行ごとに生成された行デコーダ２１５Ｗからのロウデコード信号／Ｒｄｗに応答して、対応のライトディジット線ＷＤＬの一端側を電源電圧Ｖｃｃで駆動する。これにより、選択行のライトディジット線ＷＤＬにデータ書込電流Ｉｐに相当する電流ＩＤＬが流される。

【０３２３】

実施の形態５に従うＭＲＡＭデバイスは、さらに、電圧制御回路４４０と、内部電圧配線４４１Ｒ，４４１Ｌとをさらに備える。電圧制御回路４４０は、独立の内部電圧ＶＬおよびＶＲを、内部電圧配線４４１Ｌおよび４４１Ｒにそれぞれ生成するＶＬ発生回路４４０ＬおよびＶＲ発生回路４４０Ｒを含む。

【０３２４】

ＶＬ発生回路４４０Ｌの構成は、実施の形態１で説明した（２）式中の目標電圧Ｖｔｒｇを適正に設定することにより、図４に示した内部電圧制御回路４０と同様とすることができる。すなわち、ＶＬ発生回路４４０Ｌが生成する内部電圧ＶＬは、調整信号ＰＶＬ０～ＰＶＬ３に応じて段階的に設定可能である。同様に、ＶＲ発生回路４４０Ｒの構成についても、（２）式で説明した目標電圧Ｖｔｒｇを適正に設定することにより、図４に示した内部電圧制御回路４０と同様とすることができる。すなわち、ＶＲ発生回路４４０Ｒが生成する内部電圧ＶＲは、調整信号ＰＶＲ０～ＰＶＲ３に応じて段階的に設定可能である。このように、内部電圧ＶＲおよびＶＬは、電圧制御回路４４０によって、互いに独立に制御される。調整信号ＰＶＬ０～ＰＶＬ３およびＰＶＲ０～ＰＶＲ３は、先に説明した調整信号Ｐ０～Ｐ３と同様に、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる構成とすることができる。

【０３２５】

内部電圧配線４４１Ｌは、各ビット線ドライバ２５０ａ中のドライバトランジスタ（Ｐ－ＭＯＳトランジスタ）２５２のソースと接続される。同様に、内部電圧配線４４１Ｒは、各ビット線ドライバ２５０ｂ中のドライバトランジスタ（Ｐ－ＭＯＳトランジスタ）２５６のソースと接続される。このように、ＶＬ発生回路４４０Ｌの調整信号ＰＶＬ０～ＰＶＬ３と、ＶＲ発生回路４４０Ｒの調整信号ＰＶＲ０～ＰＶＲ３とが独立に設けられているので、各ドライバトランジスタ２５２に印加されるソース電圧および各ドライバトランジスタ２５６に印加されるソース電圧を独立に設定することができる。

【０３２６】

Ｈレベルデータ書込時には、ドライバトランジスタ２５２および２５８によって、ビット線ＢＬ上を、データ書込電流＋Ｉｗに相当するビット線電流ＩＢ１が流れる。すなわち、ビット線電流ＩＢ１のレベルは、各ドライバトランジスタ２５２のソース電圧によって変化する。反対に、Ｌレベルデータ書込時には、ドライバトランジスタ２５６および２５

４によって、ビット線ＢＬ上を、データ書込電流－Ｉｗに相当するビット線電流ＩＢ０が流れる。すなわち、ビット線電流ＩＢ０のレベルは、各ドライバトランジスタ２５６のソース電圧によって変化する。したがって、上記の構成とすることにより、Ｈレベルデータ書込時のビット線電流ＩＢ１と、Ｌレベルデータ書込時のビット線電流ＩＢ０との大きさが異なるように調整することができる。

【０３２７】

実施の形態５に従うＭＲＡＭデバイスにおいては、テストモード時に、メモリセルアレイ２１０中のメモリセルＭＣの全部または一部に対して、調整信号ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３をＢＩＳＴ回路によって段階的に変化させてデータ書込試験を実行することにより、図２８および２９に示した、調整された動作点４００および４０１に対応するビット線電流ＩＢ０およびＩＢ１を流すための内部電圧ＶＲおよびＶＬを求めることができる。さらに、テストモードで求められた内部電圧ＶＬおよびＶＲを実現するための調整信号ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３をプログラム回路に記憶させて、実動作時にはプログラム回路に記憶された調整信号ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３を用いて内部電圧ＶＲ，ＶＬを生成する。これにより、調整された動作点４００および４０１に対応するビット線電流ＩＢ０およびＩＢ１によって、Ｌレベルおよびレベルのデータ書込を行なうことが可能となる。

【０３２８】

すなわち、電圧制御回路４４０は、双方向のビット線電流をそれぞれ駆動するドライバトランジスタ２５２および２５６によって流される電流量を独立に調整可能な「第１の電流調整部」として機能する。

【０３２９】

以上説明したように、実施の形態５に従うＭＲＡＭデバイスでは、実際に作製されたＭＴＪメモリセルに、図２８に示したようなデータ書込特性の非対称性が生じても、ビット線電流を書込データに応じて適正に調整してデータ書込を安定的に行なうことができる。

【０３３０】

[実施の形態６]

実施の形態５においては、図２８に示したデータ書込特性の非対称性に対して、ディジット線電流ＩＤＬを固定した上で、ビット線電流ＩＢＬの調整のみでデータ書込時の動作点を調整した。実施の形態６においては、ビット線電流ＩＢＬおよびディジット線電流ＩＤＬの両方を調整する構成を説明する。

【０３３１】

図３１は、実施の形態６に従うデータ書込電流の調整を説明する概念図である。

【０３３２】

図３１（ａ）を、図２９（ａ）と比較して、実施の形態６においては、Ｌレベルデータ書込時の動作点４００は、ビット線電流ＩＢＬおよびディジット線電流ＩＤＬの両方を調整して定められる。データ書込電流－Ｉｗに相当するビット線電流は、設計値ＩＢ０＃からＩＢ０へ調整され、データ書込電流Ｉｐに相当するディジット線電流は、設計値ＩＤＬ＃からＩＤ０へ調整される。

【０３３３】

同様に、図３１（ｂ）を図２９（ｂ）と比較して、Ｈレベルデータ書込時の動作点４０１は、ビット線電流ＩＢＬおよびディジット線電流ＩＤＬの両方を調整して定められる。データ書込電流＋Ｉｗに相当するビット線電流は、設計値ＩＢ１＃からＩＢ１へ調整され、データ書込電流Ｉｐに相当するディジット線電流は、設計値ＩＤＬ＃からＩＤ１へ調整される。

【０３３４】

図３２は、実施の形態６に従うＭＲＡＭデバイスの構成を示すブロック図である。

【０３３５】

図３２を参照して、実施の形態６に従うＭＲＡＭデバイスは、図３０に示した実施の形態５に従うＭＲＡＭデバイスと比較して、電圧制御回路５００および内部電圧配線５０１

をさらに備える。さらに、ライトディジット線ドライブ回路２２０中の各ドライブユニット２２０ｕは、内部電圧配線５０１上の内部電圧ＶＤＬによって駆動される。すなわち、実施の形態６に従うＭＲＡＭデバイスにおいては、ドライブユニット２２０ｕを構成するドライバトランジスタ２２２（図示せず）であるＰ－ＭＯＳトランジスタのソースは、内部電圧配線５０１と接続されている。

【０３３６】

その他の部分の構成については、実施の形態５に従うＭＲＡＭデバイスと同様なので詳細な説明は繰返さない。

【０３３７】

電圧制御回路５００は、独立の内部電圧ＶＤ０およびＶＤ１をそれぞれ生成するＶＤ０発生回路５５０およびＶＤ１発生回路５５１と、セレクタ５５５とを有する。

【０３３８】

ＶＤ０発生回路５５０およびＶＤ１発生回路５５１の構成は、図３０で説明したＶＬ発生回路４４０Ｌおよびｖｒ発生回路４４０Ｒと同様に、図４に示した内部電圧制御回路４０と同様とすることができる。したがって、ＶＤ０発生回路５５０が生成する内部電圧ＶＤ０は、調整信号ＰＶＤ＃０～ＰＶＤ＃３に応じて段階的に設定可能であり、ＶＤ１発生回路５５１が生成する内部電圧ＶＤ０は、調整信号ＰＶＤ０～ＰＶＤ３に応じて段階的に設定可能である。このように、内部電圧ＶＤ０およびＶＤ１は、電圧制御回路５５０によって、互いに独立に制御される。調整信号ＰＶＤ＃０～ＰＶＤ＃３およびＰＶＤ０～ＰＶＤ３は、先に説明した調整信号Ｐ０～Ｐ３と同様に、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる構成とすることができる。

【０３３９】

セレクタ５５５は、書込データＤＩＮのレベルに応じて、ＶＤ０発生回路５５０からの内部電圧ＶＤ０およびＶＤ１発生回路５５１からの内部電圧ＶＤ１のいずれか一方を、内部電圧ＶＤＬとして内部電圧配線５０１へ供給する。すなわち、セレクタ５５５は、ドライブユニット２２０ｕを構成するＰ－ＭＯＳトランジスタのソースに対して、書込データＤＩＮがＬレベルのときには内部電圧ＶＤ０を印加し、書込データＤＩＮがＨレベルのときは内部電圧ＶＤ１を印加する。

【０３４０】

したがって、書込データＤＩＮがＬレベルのときには、内部電圧ＶＤ０をソース電圧として印加されたＰ－ＭＯＳトランジスタによって、ディジット線電流ＩＤＬ（ＩＤ０）が選択行のライトディジット線ＷＤＬへ供給される。また、書込データＤＩＮがＨレベルのときには、ソース電圧として内部電圧ＶＤ１を印加されたＰ－ＭＯＳトランジスタによって、ディジット線電流ＩＤＬ（ＩＤ１）が選択行のライトディジット線ＷＤＬへ供給される。

【０３４１】

すなわち、電圧制御回路５００は、所定方向のディジット線電流を駆動するドライバトランジスタ２２２によって流される電流量を調整する「第２の電流調整部」として機能する。

【０３４２】

実施の形態６に従うＭＲＡＭデバイスにおいては、テストモード時におけるデータ書込試験において、実施の形態５で説明したビット線電流調整のための調整信号ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３に加えて、ディジット線電流調整のための調整信号ＰＶＤ＃０～ＰＶＶ＃３，ＰＶＤ０～ＰＶＶ３についても、ＢＩＳＴ回路によって段階的に変化させる。これにより、調整された動作点４００および４０１に対応するディジット線電流ＩＤ０およびＩＤ１を流すための内部電圧ＶＤ０およびＶＤ１についても求めることができる。テストモードで求められた調整信号ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３およびＰＶＤ＃０～ＰＶＶ＃３，ＰＶＤ０～ＰＶＶ３は、プログラム回路に記憶される。

【０３４３】

実動作時には、プログラム回路に記憶されたこれらの調整信号を用いて内部電圧ＶＲ，

ＶＬ，ＶＤ０，ＶＤ１を生成することにより、調整された動作点４００および４０１に対応する、ビット線電流ＩＢ０，ＩＢ１およびディジット線電流ＩＤ０，ＩＤ１によって、ＬレベルおよびＨレベルのデータ書込を行なうことが可能となる。

【０３４４】

このように、実施の形態６に従うＭＲＡＭデバイスにおいては、実施の形態５に従うＭＲＡＭデバイスと同様に、実際に作製されたＭＴＪメモリセルに生じたデータ書込特性の非対称性に対処して、データ書込マージンを向上することができる。特に、ビット線電流ＩＢＬおよびディジット線電流ＩＤＬの両方を調整することにより、データ書込時での実際の動作点に関する調整の自由度が向上する。

【０３４５】

[実施の形態６の変形例]

実施の形態６の変形例では、異なるレベルのディジット線電流ＩＤＬを供給するために、図３２に示した電圧制御回路５００に代えて配置可能である、効率的な構成の電流制御回路５１０の構成について説明する。すなわち、電流制御回路５１０は、ディジット線電流の供給について、電圧制御回路５００と同様の機能を有する。

【０３４６】

図３３は、実施の形態６の変形例に従うディジット線電流調整用の電流制御回路５１０の構成を示す回路図である。

【０３４７】

図３３を参照して、電流制御回路５１０は、電源電圧Ｖｃｃおよび内部電圧配線５０１の間に直列に接続されたＰ－ＭＯＳトランジスタ５１２，５１４と、電源電圧Ｖｃｃおよび内部電圧配線５０１の間にトランジスタ５１２，５１４と並列に接続されたＰ－ＭＯＳトランジスタ５１６とを有する。

【０３４８】

トランジスタ５１２のゲートには反転された書込データ／ＤＩＮが入力され、トランジスタ５１４および５１６のゲートには、基準電圧発生回路５６０によって生成された基準電圧ＶｒｅｆｘおよびＶｒｅｆｙがそれぞれ入力される。すなわち、トランジスタ５１２は、反転された書込データ／ＤＩＮに応じてオン・オフ制御されるスイッチ素子として動作し、トランジスタ５１４および５１６は、基準電圧ＶｒｅｆｘおよびＶｒｅｆｙにそれぞれ応じた電流を供給する電流供給部として動作する。

【０３４９】

実施の形態６の変形例に従うＭＲＡＭデバイスでは、図３２における電圧制御回路５００が図３３に示す電流制御回路５１０に置換される点を除けば、その他の部分の構成は実施の形態６に従うＭＲＡＭデバイスと同様である。すなわち、ドライブユニット２２０ｕを構成するドライバトランジスタ２２２（Ｐ－ＭＯＳトランジスタ）のソースは内部電圧配線５０１と接続され、選択行のライトディジット線ＷＤＬには、電流制御回路５１０から内部電圧配線５０１を介して供給されたディジット線電流ＩＤＬがドライバトランジスタ２２２によって流される。

【０３５０】

基準電圧発生回路５６０は、基準電圧Ｖｒｅｆｘを生成するための分圧回路５６２およびセレクタ回路５６５と、基準電圧Ｖｒｅｆｙを生成するための分圧回路５７２およびセレクタ回路５７５とを有する。分圧回路５６２，５７２の各々は、図４および図５で説明し分圧回路４６と同様に構成される。またセレクタ回路５６５および５７５は、図４に示したセレクタ回路５０と同様に配置される。

【０３５１】

したがって、基準電圧Ｖｒｅｆｘは、調整信号ＰＶＸ０～ＰＶＸ３に応じて段階的に調整可能である。図４で説明したのと同様に、調整信号ＰＶＸ０～ＰＶＸ３は、ＢＩＳＴ回路３０およびプログラム回路３１の双方から入力可能である。セレクタ回路５６５は、ＢＩＳＴ回路３０からの切換信号ＣＨＰに応答して、テストモード時にはＢＩＳＴ回路３０からの調整信号ＰＶＸ０～ＰＶＸ３を分圧回路５６２に与え、テストモード時以外の実動

作時には、プログラム回路３１からの調整信号ＰＶＸ０～ＰＶＸ３を分圧回路５６２へ与える。

【０３５２】

同様に、基準電圧Ｖｒｅｆｙは、調整信号ＰＶＹ０～ＰＶＹ３に応じて段階的に調整可能である。調整信号ＰＶＹ０～ＰＶＹ３は、調整信号ＰＶＸ０～ＰＶＸ３と同様に、ＢＩＳＴ回路３０およびプログラム回路３１の双方から入力可能である。セレクタ回路５６５は、切換信号ＣＨＰに応答して、テストモード時にはＢＩＳＴ回路３０からの調整信号ＰＶＹ０～ＰＶＹ３を分圧回路５６２に与え、テストモード時以外の実動作時には、プログラム回路３１からの調整信号ＰＶＹ０～ＰＶＹ３を分圧回路５６２へ与える。

【０３５３】

電流制御回路５１０においては、トランジスタ５１６は、書込データのレベルにかかわらず基準電圧Ｖｒｅｆｙに応じた電流を内部電圧配線５０１に供給する。一方で、トランジスタ５１４による内部電圧配線５０１への電流供給は、スイッチとして作用するトランジスタ５１２によって、書込データＤＩＮのレベルに応じて実行あるいは停止される。

【０３５４】

図３３に示した構成は、図３１（ａ）および（ｂ）に示されたようなＩＤ０＞ＩＤ１の場合、すなわちＬレベルデータ書込時にディジット線電流が大きくなるように調整する場合に対応している。したがって、Ｌレベルデータ書込時には、トランジスタ５１２がオンすることにより、トランジスタ５１４，５１６の供給電流の和が、内部電圧配線５０１およびドライバトランジスタ２２２を介して、選択行のライトディジット線ＷＤＬへ供給される。一方、Ｈレベルデータ書込時には、トランジスタ５１２がオフすることにより、トランジスタ５１６の供給電流のみが、内部電圧配線５０１およびドライバトランジスタ２２２を介して、選択行のライトディジット線ＷＤＬへ供給される。

【０３５５】

したがって、基準電圧Ｖｒｅｆｙは、トランジスタ５１６が小さい方のディジット線電流ＩＤ１を供給するためのゲート電圧に相当するように設定される。一方、基準電圧Ｖｒｅｆｘは、ＨレベルおよびＬレベルデータ書込時のディジット線電流の差、すなわち｜ＩＤ０－ＩＤ１｜をトランジスタ５１４が供給するためのゲート電圧に相当するように設定される。

【０３５６】

すなわち、電流制御回路５１０では、書込データのレベルごとに設定されるディジット線ＩＤＬの一方と、大きい方および小さい方の差電流とが調整信号ＰＶＸ０～ＰＶＸ３，ＰＶＹ０～ＰＶＹ３によって調整される。もし、データ書込特性、すなわちアステロイド特性線にずれが発生せず、ＨレベルおよびＬレベルデータ書込時においてディジット線ＩＤＬに差が生じない場合には、トランジスタ５１４がターンオフするように、基準電圧Ｖｒｅｆｘのレベルは定められる。

【０３５７】

このような構成とすることにより、書込データＤＩＮのレベルによってスイッチングされる電流は小さくなるので、スイッチ素子（トランジスタ５１２）のインピーダンスに起因するディジット線電流ＩＤＬの設定誤差を減少して、データ書込をさらに安定化することができる。

【０３５８】

言い換えれば、図３３に示す構成のように差電流を調整するのではなく、ディジット線電流ＩＤ０およびＩＤ１をそれぞれ調整する構成とし、並列に設けられたディジット線電流ＩＤ０およびＩＤ１の供給経路のそれぞれに、書込データＤＩＮに応じて相補的にオン・オフするスイッチ素子を設ける構成とすることもできる。しかし、このような構成では、これらのスイッチ素子を通過する電流量が大きいため、スイッチ素子のインピーダンスによって、ディジット線電流ＩＤＬに設定誤差が生じるおそれがある。

【０３５９】

なお、図３３に示した電流制御回路において、スイッチングされないトランジスタ５１

６によって大きいほうのディジット線電流（ＩＤ０）を供給し、かつ、スイッチ素子となるトランジスタ５１２のオン時にトランジスタ５１４および５１６の供給電流の差が内部電圧配線５０１に供給されるように構成することも可能である。この場合には、トランジスタ５１６から内部電圧配線５０１への電流経路から、トランジスタ５１２のオンに応答して、トランジスタ５１４の供給電流が引き抜かれるかれるように、トランジスタ５１２，５１４を配置する必要がある。

【０３６０】

図３３に示したような差電流を調整する電流制御回路は、ビット線電流の調整にも適用することができる。

【０３６１】

図３４は、実施の形態６の変形例に従うビット線電流調整用の電流制御回路４４５の構成を示す回路図である。電流制御回路４４５は、図３０および図３２に示されたＭＲＡＭデバイスにおいて、電圧制御回路４４０に代えて適用可能である。さらに、内部電圧配線４４１Ｌおよび４４１Ｒは互いに接続されて、電流制御回路４４５からビット線電流ＩＢＬの供給を受ける。

【０３６２】

図３４を参照して、電流制御回路４４５は、電源電圧Ｖｃｃおよび内部電圧配線４４１の間に直列に接続されたＰ－ＭＯＳトランジスタ４４２，４４４と、電源電圧Ｖｃｃおよび内部電圧配線４４１の間にトランジスタ４４２および４４４と並列に接続されたＰ－ＭＯＳトランジスタ４４６とを有する。トランジスタ４４２のゲートには、反転された書込データ／ＤＩＮが入力される。トランジスタ４４４および４４６のゲートには、基準電圧Ｖｒｅｆｘ＃およびＶｒｅｆｙ＃が入力される。基準電圧Ｖｒｅｆｘ＃およびＶｒｅｆｙ＃は、図３３における基準電圧ＶｒｅｆｘおよびＶｒｅｆｙと同様に生成される。

【０３６３】

電流制御回路４４５においては、書込データがＨレベルのときには、トランジスタ４４６のみによってビット線電流ＩＢＬが供給され、書込データがＬレベルのときには、トランジスタ４４４および４４６の供給電流の和によってビット線電流ＩＢＬが供給される。

【０３６４】

したがって、基準電圧Ｖｒｅｆｙ＃は、小さい方のビット線電流ＩＢ１（図２９（ｂ））をトランジスタ４４６が供給するためのゲート電圧に相当するように調整される。一方、基準電圧Ｖｒｅｆｘ＃は、ＨレベルおよびＬレベルデータ書込時のビット線電流の差、すなわち｜ＩＢ０－ＩＢ１｜をトランジスタ４４４が供給するためのゲート電圧に相当するように調整される。

【０３６５】

これにより、図３３で示した電流制御回路５１０と同様に構成された電流制御回路４４５によって、データ書込時のビット線電流ＩＢＬを、書込データに応じて異なるレベルに調整することが可能となる。すなわち、電流制御回路４４０は、ビット線電流の供給について、電圧制御回路４００と同様の機能を有する。これにより、図３３で説明したように、データ書込時におけるビット線電流ＩＢＬの設定精度を向上させて、データ書込をさらに安定化することができる。

【０３６６】

なお、図３４に示した電流制御回路において、スイッチングされないトランジスタ４４６によって大きいほうのビット線電流（ＩＢ０）を供給し、かつ、スイッチ素子となるトランジスタ４４２のオン時にトランジスタ４４４および４４６の供給電流の差が内部電圧配線５０１に供給されるように構成することも可能である。この場合には、トランジスタ４４６から内部電圧配線４４１Ｒ，４４１Ｌへの電流経路から、トランジスタ４４２のオンに応答して、トランジスタ４４４の供給電流が引き抜かれるかれるように、トランジスタ４４２，４４４を配置すればよい。

【０３６７】

［実施の形態７］

実施の形態７においては、各ＭＴＪメモリセルが非対称形状で設計された場合におけるデータ書込電流の調整について説明する。

【０３６８】

図３５および図３６は、非対称なトンネル磁気抵抗素子ＴＭＲを備えた非対称メモリセルの例を説明する概念図である。図３５には、台形状のトンネル磁気抵抗素子を有する非対称メモリセル５８０が例示され、図３６には、平行四辺形状のトンネル磁気抵抗素子を有する非対称メモリセル５８２が例示される。

【０３６９】

図３５および図３６に示したような非対称メモリセルは、メモリセルの微細化に伴って適用される可能性がある。メモリセルが微細化されると、１つ１つのメモリセルを微細形状で精密に加工することが困難となるため、対称な形状で作られたメモリセル（トンネル磁気抵抗素子）を、ライトディジット線ＷＤＬに沿って２分割することによって、各ＭＴＪメモリセルが作製される。この結果、各ＭＴＪメモリセル（トンネル磁気抵抗素子）の形状は、ライトディジット線ＷＤＬに沿った軸に対して非対称な形状となり、かつ、メモリセルアレイ全体では、このような２種類の形状の非対称メモリセルが１行おきに交互配置されることになる。

【０３７０】

図３７には、比較のために、ライトディジット線ＷＤＬに沿った軸に対して対称な形状のトンネル磁気抵抗素子を有する対称メモリセル５８５が示される。

【０３７１】

図３８は、対称メモリセルと非対称メモリセルの磁化特性を比較する概念図である。

【０３７２】

図３８（ａ）を参照して、磁化困難軸ＨＡに沿った磁界ＨＤＬが符号５９０に示す方向である場合には、符号５９０＃に示すように磁化容易軸ＥＡに沿った磁化方向を反転することによってデータ書込が行なわれる。一方、磁化困難軸ＨＡに沿った磁界ＨＤＬが符号５９２に示す方向である場合には、符号５９２＃に示すように磁化容易軸ＥＡに沿った磁化方向が反転されて、データ書込が行なわれる。対称メモリセル５８５では、トンネル磁気抵抗素子の形状がライトディジット線ＷＤＬに沿った軸（すなわち磁化容易軸）に対して対称であるので、符号５９０＃および５９２＃で示される磁化方向反転の各々において、しきい値は同様のレベルとなる。

【０３７３】

これに対して、図３８（ｂ）に示されるように非対称メモリセルにおいては、トンネル磁気抵抗素子の形状が磁化容易軸に対して対称であるので、符号５９０＃および５９２＃で示される磁化方向反転のそれぞれにおいて、しきい値は異なるレベルとなることが予想される。このため、非対称メモリセルでは、磁界ＨＤＬとメモリセル形状との関係に応じて、磁化方向反転のしきい値が異なってしまう。たとえば、台形状の非対称メモリセル５８０では、磁界ＨＤＬが非対称メモリセルの長辺方向から短辺方向へ向かう方向に印加される場合には、磁区が反転し易くなることが予想されるため、しきい値は相対的に小さくなる。一方、磁界ＨＤＬが非対称メモリセルの短辺方向から長辺方向へ向かう方向に印加される場合には、磁区が反転し難くなることが予想されるため、しきい値は相対的に大きくなる。

【０３７４】

図３９は、このような非対称メモリセルのデータ書込特性およびこれに応じたデータ書込電流の調整を説明する概念図である。

【０３７５】

図３９（ａ）および（ｂ）では、基準となる対称メモリセルのアステロイド特性線３９０＃および３９１＃と比較される様に、非対称メモリセルのアステロイド特性線３９０ａ，３９１ａよび３９０ｂ，３９０ｂが示される。非対称メモリセルにおいて、磁区が反転し易くなる方向に磁界ＨＤＬが印加された場合（図３８（ｂ）における符号５９２＃に対応）のデータ書込特性は、アステロイド特性線３９０ａ，３９１ａで示される。これに対

して、磁区が反転し難くなる方向に磁界ＨＤＬが印加された場合（図３８（ｂ）における符号５９０＃に対応）のデータ書込特性は、アステロイド特性線３９０ｂ，３９１ｂで示される。

【０３７６】

したがって、メモリセルの配置方向と磁界ＨＤＬの方向との関係に応じて、対称メモリセルへのデータ書込の動作点４００および４０１とは異なる、動作点４００ａ，４０１ａまたは４００ｂ，４００ｂのいずれかを用いて、非対称メモリセルへのデータ書込を行なう必要がある。特に、ディジット線電流ＩＤＬの方向を固定する場合には、ライトディジット線ＷＤＬ１本おき、すなわち１行おきに、動作点４００ａ，４０１ａまたは４００ｂ，４００ｂでのデータ書込を交互に行なう必要がある。

【０３７７】

動作点４００，４０１に対応するビット線電流ＩＢ０＃，ＩＢ１＃と比較すると、動作点４００ａ，４０１ａに対応するメモリセル行では、ＩＢ０＃，ＩＢ１＃よりも絶対値の大きいＩＢ０ａ，ＩＢ１ａへビット線電流ＩＢＬを調整する必要がある。一方、動作点４００ｂ，４０１ｂに対応するメモリセル行では、ＩＢ０＃，ＩＢ１＃よりも絶対値の小さいＩＢ０ｂ，ＩＢ１ｂへビット線電流ＩＢＬを調整する必要がある。これに対して、動作点４００＃，４０１＃，４００ａ，４０１ａ，４００ｂ，４００ｂの各々において、ディジット線電流ＩＤＬは同一方向かつ同一レベルのＩＤＬ＃に固定される。

【０３７８】

なお、実施の形態７では、実施の形態５（図２８）と同様のＩＤＬ軸（縦軸）に関するアステロイド特性線の非対称性は想定しないものとする。すなわち、上記のビット線電流の間には、｜ＩＢ０ａ｜＝｜ＩＢ１ａ｜および｜ＩＢ０ｂ｜＝｜ＩＢ１ｂ｜が成立している。

【０３７９】

したがって、図３９（ａ），（ｂ）に示されたデータ書込特性を有する非対称メモリセルが配置されたＭＲＡＭデバイスにおいては、書込対象となる非対称メモリセルの配置方向に応じて、ビット線電流ＩＢＬの大きさを異なるレベルへ調整する必要がある。図３５および図３６に示されるように、非対称メモリセルの配置方向が１行おきに交互に入れ替わる場合には、書込対象の非対称メモリセルの配置方向は、行アドレスによって、より特定的には、偶数行および奇数行のいずれが選択されたかを示す最下位ビットによって識別できる。

【０３８０】

もし、ビット線電流ＩＢＬの大きさを非対称メモリセルの配置方向に応じて調整できない場合には、相対的に大きなビット線電流が必要な条件（図３９（ａ），（ｂ）での動作点４００ｂ，４０１ｂ）に合わせて、全体のデータ書込を行なう必要がある。しかし、この場合には、相対的に小さなビット線電流が必要な条件（図３９（ａ），（ｂ）での動作点４００ａ，４０１ａ）では、過剰なビット線電流が流れることになる。これにより、非選択メモリセルへの磁気ノイズが増加するので、データ書込動作の安定性が低下して、データ書込マージンの確保が妨げられる。

【０３８１】

図４０は、実施の形態７に従うＭＲＡＭデバイスの構成を示すブロック図である。

【０３８２】

図４０を参照して、実施の形態７に従うＭＲＡＭデバイスは、図３０に示したＭＲＡＭデバイスと比較して、セレクタ６００＃をさらに備える点と、電圧制御回路４４０に代えて電圧制御回路４４０＃を備える点とで異なる。

また、内部電圧配線４４１Ｌおよび４４１Ｒは、共通の内部電圧を伝達するように、互いに接続される。実施の形態７に従うＭＲＡＭデバイスのこれ以外の構成は、図３０に示したＭＲＡＭデバイスと同様であるので、詳細な説明は繰り返さない。

【０３８３】

電圧制御回路４４０＃は、独立の内部電圧ＶＡおよびＶＢをそれぞれ生成するＶＡ発生

回路４４０ＡおよびＶＢ発生回路４４０Ｂを含む。ＶＬ発生回路４４０ＡおよびＶＢ発生回路４４０Ｂには、ＶＬ発生回路４４０ＬおよびＶＲ発生回路４４０Ｒと同様に、図４に示した内部電圧制御回路４０の構成を適用することができる。

【０３８４】

したがって、ＶＡ発生回路4･４０Ａが生成する内部電圧ＶＡは、調整信号ＰＶＡ０～ＰＶＡ３に応じて段階的に設定可能であり、ＶＢ発生回路４４０Ｂが生成する内部電圧ＶＢは、調整信号ＰＶＢ０～ＰＶＢ３に応じて段階的に設定可能である。したがって、内部電圧ＶＡおよびＶＢは、電圧制御回路４４０＃によって独立に制御される。調整信号ＰＶＡ０～ＰＶＡ３およびＰＶＢ０～ＰＶＢ３は、先に説明した調整信号Ｐ０～Ｐ３と同様に、テストモード時にはＢＩＳＴ回路から与えられ、実動作時にはプログラム回路から与えられる構成とすることができる。

【０３８５】

セレクタ６００＃は、電圧制御回路４４０＃および内部電圧配線４４１Ｌ，４４１Ｒの間に設けられ、行アドレスの最下位ビットＲＡ０に応じて、ＶＡ発生回路４４０Ａからの内部電圧ＶＡおよびＶＢ発生回路４４０Ｂからの内部電圧ＶＢのいずれか一方を、内部電圧配線４４１Ｌおよび４４１Ｒの各々へ供給する。

【０３８６】

図４１は、図４０に示されたセレクタ６００＃の具体的な構成例を示す回路図である。

【０３８７】

図４１を参照して、セレクタ６００＃は、最下位ビットＲＡ０に応じて相補的にオン・オフするスイッチ６０１Ａおよび６０１Ｂを有する。スイッチ６０１Ａは、ＶＡ発生回路４４０Ａの出力ノードと、内部電圧線４４１Ｒ，４４１Ｌとの間に接続される。スイッチ６０１Ａは、最下位ビットＲＡ０がＬレベルのとき（偶数行選択時）にオンする一方で、Ｈレベルのとき（奇数行選択時）にオフする。

【０３８８】

スイッチ６０１Ｂは、ＶＡ発生回路４４０Ｂの出力ノードと、内部電圧線４４１Ｒ，４４１Ｌとの間に接続される。スイッチ６０１Ｂは、最下位ビットＲＡ０がＨレベルのとき（奇数行選択時）にオンする一方で、Ｌレベルのとき（偶数行選択時）にオフする。

【０３８９】

このような構成とすることにより、偶数行選択時には内部電圧ＶＡが各内部電圧線４４１Ｒ，４４１Ｌを介して、Ｐ－ＭＯＳトランジスタである各ドライバトランジスタ２５２，２５６のソースへ印加される。一方、奇数行選択時には内部電圧ＶＢが各内部電圧線４４１Ｒ，４４１Ｌを介して、各ドライバトランジスタ２５２，２５６のソースへ印加される。すなわち、セレクタ６００＃は、内部電圧ＶＡおよびＶＢのいずれを各ドライバトランジスタ２５２，２５６のソースへ印加するかを、選択メモリセルの配置方向を識別するための最下位ビットＲＡ０に応じて切換える。

【０３９０】

再び図４０を参照して、セレクタ６００＃によって、偶数行選択時および奇数行選択時において、各ビット線ドライバ２５０ａ，２５０ｂ中のドライバトランジスタ（Ｐ－ＭＯＳトランジスタ）２５２，２５６のソース電圧を切換えることができる。これにより、選択されたビット線ＢＬに対して、偶数選択時には内部電圧ＶＡに応じたビット線電流ＩＢ０ａ，ＩＢ１ａがデータ書込電流として供給される一方で、奇数行選択時には内部電圧ＶＢに応じたビット線電流ＩＢ０ｂ，ＩＢ１ｂがデータ書込電流として供給される。

【０３９１】

実施の形態７に従うＭＲＡＭデバイスにおいては、テストモード時にメモリセルアレイ２１０中のメモリセルＭＣの全部または一部に対して、調整信号ＰＶＡ０～ＰＶＡ３およびＰＶＢ０～ＰＶＢ３をＢＩＳＴ回路によって段階的に変化させてデータ書込試験を実行することにより、図３９（ａ）、（ｂ）に示した動作点４００ａ，４０１ａに対応するビット線電流ＩＢ０ａ，ＩＢ１ａを流すための内部電圧ＶＡと、動作点４００ｂ，４０１ｂに対応するビット線電流ＩＢ０ｂ，ＩＢ１ｂを流すための内部電圧ＶＢとを求めることが

できる。テストモードで調整された内部電圧ＶＡ，ＶＢを実現するための調整信号ＰＶＡ０～ＰＶＡ３およびＰＶＢ０～ＰＶＢ３をプログラム回路に記憶させて、実動作時にはプログラム回路に記憶されたこれらの調整信号を用いて内部電圧ＶＡ，ＶＢを生成する。このように、電圧制御回路４４０＃は、ビット線電流の供給について、電圧制御回路４４０と同様の機能を有する。

【０３９２】

このような構成とすることにより、データ書込時のビット線電流ＩＢＬの絶対値を、メモリセル形状と磁界ＨＤＬの方向との関係に対応させて、１行おきに異なるレベルに調整することができる。この結果、１行おきに動作点４００ａ，４０１ａおよび４００ｂ，４０１ｂを交互に適用することによって、非対称メモリセルが配置されたＭＲＡＭデバイスにおいて、データ書込を安定化することができる。

【０３９３】

[実施の形態７の変形例]

図４２は、実施の形態７の変形例に従うＭＲＡＭデバイスの構成を示すブロック図である。

【０３９４】

図４２を参照して、実施の形態７の変形例に従うＭＲＡＭデバイスにおいては、実施の形態７に従うＭＲＡＭデバイスと比較して、各ライトディジット線ＷＤＬに対応して配置されるドライブユニット２２０ｕが、１行おきに、交互配置される点が異なる。すなわち、隣接するメモリセル行間において、ドライブユニット２２０ｕは、メモリセルアレイ２１０を挟んで互いに反対側の領域に配置されることになる。各ライトディジット線は、ドライブユニット２２０ｕが配置される反対側において、接地電圧ＧＮＤと接続されている。

【０３９５】

このような構成とすることにより、各メモリセル行において、ライトディジット線ＷＤＬからの磁界ＨＤＬの方向と、非対称メモリセルの形状との対応関係が同一となる。このため、各メモリセル行でのデータ書込の動作点は、図３９（ａ），（ｂ）に示した動作点４００ａ，４０１ａおよび動作点４００ｂ，４０１ｂのいずれか一方に固定される。したがって、データ書込時におけるドライバトランジスタ２５２，２５６のソース電圧を、行選択結果にかかわらず共通の内部電圧とできる。

【０３９６】

この結果、実施の形態７の変形例に従うＭＲＡＭデバイスにおいては、セレクタ６００＃の配置を省略可能であり、かつ、電圧制御回路４４０＃を単一のＶＡ発生回路４４０Ａのみで構成することができる。このように、実施の形態７の変形例に従うＭＲＡＭデバイスにおいては、ビット線のドライバトランジスタのソース電圧調整のための構成を簡素化した上で、非対称メモリセルへのデータ書込の安定性を向上することができる。

【０３９７】

また、ドライブユニット２２０ｕを交互配置することにより、ライトディジット線ＷＤＬ駆動用のドライバトランジスタのレイアウト配置が容易になるという利点もさらに生じる。

【０３９８】

[実施の形態８]

既に説明した実施の形態７では、非対称メモリセルが配置されたＭＲＡＭデバイスにおいて、Ｈレベルデータ書込およびＬレベルデータ書込時のアステロイド特性線がＩＤＬ軸（縦軸）に関して対称である場合を想定したデータ書込電流の調整について説明した。すなわち、図３９の（ａ），（ｂ）に示すように、同一メモリセルに関する、アステロイド特性線３９０ａおよび３９１ａならびにアステロイド特性線３９０ｂおよび３９１ｂは、ＩＤＬ軸（縦軸）に関して対称であると仮定していた。

【０３９９】

実施の形態８では、非対称メモリセルのデータ書込特性が、実施の形態５と同様に、Ｈ

レベルおよびＬレベルデータ書込時でそれぞれ異なる場合を想定したデータ書込電流の調整について説明する。

【０４００】

図４３は、実施の形態８における非対称メモリセルのデータ書込特性およびデータ書込電流の調整を説明する概念図である。

【０４０１】

図４３（ａ）および（ｂ）を参照して、非対称メモリセルのデータ書込特性は、１行おきに、アステロイド特性線３９０ａ，３９１ａまたはアステロイド特性線３９０ｂ，３９１ｂで示される。対称メモリセルのアステロイド特性線３９０＃および３９１＃がＩＤＬ軸（縦軸）に対して対称であるのに対して、アステロイド特性線３９０ａおよび３９１ａは、ＩＤＬ軸（縦軸）に対して非対称である。同様に、アステロイド特性線３９０ｂおよび３９１ｂも、ＩＤＬ軸（縦軸）に対して非対称である。

【０４０２】

したがって、実施の形態７で説明したのと同様に、動作点４００ａ，４０１ａまたは４００ｂ，４００ｂのいずれかを用いて、非対称メモリセルへのデータ書込を行なう必要がある。特に、ディジット線電流ＩＤＬの方向を固定する場合には、ライトディジット線ＷＤＬ１本おき、すなわち１行おきに、動作点４００ａ，４０１ａまたは４００ｂ，４００ｂでのデータ書込を交互に行なう必要がある。実施の形態８では、実施の形態７とは異なり、非対称メモリセルの配置方向に合わせて、Ｈレベルおよびレベル書込に対応したビット線電流の調整を１行おきに切換える必要が生じてくる。

【０４０３】

動作点４００ａ，４０１ａが適用されるメモリセル行では、ビット線電流ＩＢ０ａ（Ｌレベル書込）およびＩＢ１ａ（Ｈレベル書込）の間で、｜ＩＢ０ａ｜＜｜ＩＢ１ａ｜となる一方で、動作点４００ｂ，４０１ｂが適用されるメモリセル行では、ビット線電流ＩＢ０ｂ（Ｌレベル書込）およびＩＢ１ｂ（Ｈレベル書込）の間で、｜ＩＢ０ｂ｜＞｜ＩＢ１ｂ｜となる。このようなビット線電流の大小関係の入換えは、メモリセル形状と磁界ＨＤＬの方向との関係に起因して生じるので、上記のビット線電流の間には、｜ＩＢ０ａ｜＝｜ＩＢ１ｂ｜および｜ＩＢ１ａ｜＝｜ＩＢ０ｂ｜がさらに成立している。

【０４０４】

実施の形態８では、上述のようなデータ書込特性を考慮した上で、書込データに応じたビット線電流ＩＢＬの調整を１行ごとに切換える必要がある。

【０４０５】

図４４は、実施の形態８に従うＭＲＡＭデバイスの構成を示すブロック図である。

【０４０６】

図４４を参照して、実施の形態８に従うＭＲＡＭデバイスは、図３０に示したＭＲＡＭデバイスと比較して、「接続交換回路」として設けられるスワップ回路６００をさらに備える点で異なる。スワップ回路６００は、ＶＬ発生回路４４０ＬおよびＶＲ発生回路４４０Ｒと、内部電圧配線４４１Ｌ，４４１Ｒとの間に設けられ、内部電圧ＶＬおよびＶＲの供給先を、行アドレスの最下位ビットＲＡ０に応じて切換える。

【０４０７】

図４５は、図４４に示されたスワップ回路６００の具体的な構成を示す回路図である。

【０４０８】

図４５を参照して、スワップ回路６００は、アドレスビットＲＡ０に応じてオン・オフするスイッチ６０２，６０４と、反転されたアドレスビット／ＲＡ０に応じてスイッチ６０２，６０４と相補的にオンオフするスイッチ６０６，６０８とを有する。

【０４０９】

スイッチ６０２は、内部電圧ＶＬが生成されるＶＬ発生回路４４０Ｌの出力ノードＮＬと内部電圧配線４４１Ｌとの間に設けられ、スイッチ６０８は出力ノードＮＬと内部電圧配線４４１Ｒとの間に設けられる。同様に、スイッチ６０４は、内部電圧ＶＲが生成されるＶＲ発生回路４４０Ｒの出力ノードＮＲと内部電圧配線４４１Ｒとの間に設けられ、ス

イッチ６０６は出力ノードＮＲと内部電圧配線４４１Ｌとの間に設けられる。

【０４１０】

したがって、偶数行選択時には、ドライバトランジスタ２５２のソース電圧が内部電圧ＶＲとなり、ドライバトランジスタ２５６のソース電圧が内部電圧ＶＬとなる。反対に、奇数行選択時には、ドライバトランジスタ２５２のソース電圧が内部電圧ＶＬとなり、ドライバトランジスタ２５６のソース電圧が内部電圧ＶＲとなる。このように、スワップ回路６００は、内部電圧ＶＲをドライバトランジスタ２５２のソースに印加し、かつ、内部電圧ＶＬをドライバトランジスタ２５６のソースに印加する第１の接続パターン、ならびに、内部電圧ＶＬをドライバトランジスタ２５２のソースに印加し、かつ、内部電圧ＶＲをドライバトランジスタ２５６のソースに印加する第２の接続パターンを、選択メモリセルの配置方向を識別するための最下位ビットＲＡ０に応じて切換える。

【０４１１】

再び図４４を参照して、スワップ回路６００の配置によって、ビット線電流ＩＢ１ａ，ＩＢ０ｂは、内部電圧ＶＲに応じた大きさとなり、一方で、ビット線電流ＩＢ１ｂ，ＩＢ０ａは、内部電圧ＶＬに応じた大きさとなる。

【０４１２】

実施の形態８に従うＭＲＡＭデバイスにおいては、テストモード時にメモリセルアレイ２１０中のメモリセルＭＣの全部または一部に対して、調整信号ＰＶＬ０～ＰＶＬ３およびＰＶＲ０～ＰＶＲ３をＢＩＳＴ回路によって段階的に変化させてデータ書込試験を実行することにより、図４３（ａ），（ｂ）に示した動作点４００ｂ，４０１ａに対応するビット線電流ＩＢ０ｂ，ＩＢ１ａを流すための内部電圧ＶＲと、動作点４００ａ，４０１ｂに対応するビット線電流ＩＢ０ａ，ＩＢ１ｂを流すための内部電圧ＶＬとを求めることができる。テストモードで調整された内部電圧ＶＲ，ＶＬを実現するための調整信号ＰＶＲ０～ＰＶＲ３およびＰＶＬ０～ＰＶＬ３をプログラム回路に記憶させて、実動作時にはプログラム回路に記憶されたこれらの調整信号を用いて内部電圧ＶＲ，ＶＬを生成する。

【０４１３】

このような構成とすることにより、データ書込時のビット線電流ＩＢＬを、非対称メモリセルの配置方向に対応させて、１行おきに異なるレベルに調整することができる。この結果、１行おきに動作点４００ａ，４０１ａおよび４００ｂ，４０１ｂを交互に適用することによって、非対称メモリセルが配置されたＭＲＡＭデバイスにおいて、データ書込を安定化することができる。

【０４１４】

[実施の形態８の変形例]

図４６は、実施の形態８の変形例に従うＭＲＡＭデバイスの構成を示すブロック図である。

【０４１５】

図４６を参照して、実施の形態８の変形例に従うＭＲＡＭデバイスにおいては、実施の形態８に従うＭＲＡＭデバイスと比較して、各ライトディジット線ＷＤＬに対応して配置されるドライブユニット２２０ｕが、１行おきに、交互配置される点が異なる。すなわち、隣接するメモリセル行間において、ドライブユニット２２０ｕは、メモリセルアレイ２１０を挟んで互いに反対側の領域に配置されることになる。各ライトディジット線は、ドライブユニット２２０ｕが配置される反対側において、接地電圧ＧＮＤと接続されている。

【０４１６】

このような構成とすることにより、ドライブユニット２２０ｕを構成するドライバトランジスタのレイアウト配置が容易になる。

【０４１７】

さらに、各メモリセル行において、ライトディジット線ＷＤＬからの磁界ＨＤＬの方向と、非対称メモリセルの形状との対応関係が同一となる。このため、各メモリセル行でのデータ書込の動作点は、図４３（ａ），（ｂ）に示した動作点４００ａ，４０１ａおよび

動作点４００ｂ，４０１ｂのいずれか一方に固定される。

【０４１８】

したがって、実施の形態８の変形例に従うＭＲＡＭデバイスにおいては、実施の形態８に従うＭＲＡＭデバイスの構成からスワップ回路６００の配置が省略可能であり、かつ、内部電圧ＶＲおよびＶＬの調整によって、非対称メモリセルに生じたデータ書込特性の非対称性に対応したデータ書込が実現できる。このように、実施の形態７の変形例に従うＭＲＡＭデバイスにおいては、ビット線のドライバトランジスタのソース電圧調整のための構成を簡素化した上で、非対称メモリセルへのデータ書込の安定性を向上することができる。

【０４１９】

［実施の形態９］

図４７は、実施の形態９に従うＭＲＡＭデバイスの構成を示す回路図である。

【０４２０】

図４７を参照して、実施の形態９に従うＭＲＡＭデバイスでは、各メモリセルＭＣは、図３７に示したような対称メモリセルで構成されているものとする。さらに、各メモリセルのデータ書込特性は、実施の形態５（図２８）と同様の非対称性を有するものとする。

【０４２１】

実施の形態９に従うＭＲＡＭデバイスでは、実施の形態７および８の変形と同様に、ライトディジット線ＷＤＬのドライブユニット２２０ｕがメモリセルアレイ２１０の両側に１行ごとに交互配置される。

【０４２２】

実施の形態９に従うＭＲＡＭデバイスでは、全てのメモリセルＭＣの配置が一定方向にずれたとすると、メモリセル行ごとにディジット線電流ＩＤＬの方向が反対方向であることから、実施の形態８と同様に、書込データに応じたビット線電流ＩＢＬの調整を１行ごとに切換える必要がある。

【０４２３】

したがって、ドライブユニット２２０ｕが交互配置された構成においては、図４４および図４５で説明したのと同様のスワップ回路６００を用いることにより、書込データおよび行選択結果に応じてビット線電流ＩＢＬを調整して、実施の形態５に従うＭＲＡＭデバイスと同様にデータ書込を安定化することができる。

【０４２４】

なお、実施の形態５～９では、より好ましい構成例として、データ書込電流を駆動するドライバトランジスタへ印加される内部電圧ＶＬ，ＶＲ，ＶＤ０，ＶＤ１，ＶＡ，ＶＢをそれぞれ生成する電圧発生回路である、ＶＬ発生回路４４０Ｌ，ＶＲ発生回路４４０Ｒ，ＶＤ０発生回路５５０、ＶＤ１発生回路５５１，ＶＡ発生回路４４０Ａ，ＶＢ発生回路４４０Ｂについて、実施の形態１に従う内部電圧制御回路４０（図４）と同様に構成する例を説明した。しかしながら、これらの電圧発生回路について、内部電圧制御回路４０のようなフィードバックループを内蔵する回路を適用することは必ずしも必要ではない。すなわち、これらの内部電圧のそれぞれが独立に調整可能であれば、電圧発生回路の構成を特に限定することなく、実施の形態５～９で説明した効果を享受することが可能である。たとえば、ＶＬ発生回路４４０Ｌ，ＶＲ発生回路４４０Ｒ，ＶＤ０発生回路５５０、ＶＤ１発生回路５５１，ＶＡ発生回路４４０Ａ，ＶＢ発生回路４４０Ｂの各々を、トリミング等で出力電圧レベルの調整が可能な一般的な電圧発生回路で構成することも可能である。

【０４２５】

また、実施の形態１～９において、内部電圧を調整するための各調整信号が４ビットで構成される例を説明したが、要求される内部電圧調整の細密さに応じて、当該調整信号は任意のビット数で構成可能である。

【０４２６】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えら

れるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【０４２７】

【図１】本発明の実施の形態１に従う半導体装置の構成を示す概略図である。

【図２】図１に示されたロジック回路ブロックについて説明するための図である。

【図３】図１に示されたメモリコア部の構成の一例を示す図である。

【図４】図３に示されたテストメモリおよび内部電圧制御回路の構成を示すブロック図である。

【図５】図４に示された分圧回路の構成を詳細に示す回路図である。

【図６】調整信号の設定と動作テスト結果例を示す概念図である。

【図７】図４に示された書込制御部の構成を示すブロック図である。

【図８】内部電圧制御に関する動作テストを説明するタイミングチャートである。

【図９】図３に示されたリーク検知回路の構成を示す回路図である。

【図１０】実施の形態２に従うリーク電流制御回路の構成例を示す回路図である。

【図１１】実施の形態２に従うリーク電流制御回路の他の構成例を示す回路図である。

【図１２】実施の形態２の変形例に従うリーク電流制御回路の構成例を示す回路図である。

【図１３】実施の形態２の変形例に従うリーク電流制御回路の他の構成例を示す回路図である。

【図１４】実施の形態３に従うＭＲＡＭデバイスの構成を示す第１の図である。

【図１５】ＭＴＪメモリセルの構造およびデータ記憶原理を説明する概念図である。

【図１６】ＭＴＪメモリセルのデータ書込の電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

【図１７】実施の形態３に従うＭＲＡＭデバイスの構成を示す第２の図である。

【図１８】実施の形態３に従うＭＲＡＭデバイスの構成を示す第３の図である。

【図１９】実施の形態３に従うＭＲＡＭデバイスにおけるデータ書込電流の調整方法を説明するためのフローチャートである。

【図２０】図.1９に示したデータ書込電流チューニングの第１の具体例を説明する概念図である。

【図２１】図１９に示したデータ書込電流チューニングの第２の具体例を説明する概念図である。

【図２２】図１９に示したデータ書込電流チューニングの第３の具体例を説明する概念図である。

【図２３】図１９に示したデータ書込電流チューニングの第４の具体例を説明する概念図である。

【図２４】本発明の実施の形態４に従うＯＵＭデバイスの全体構成を説明する回路図である。

【図２５】ＯＵＭセルによって構成されたメモリセルアレイの一部を示す平面図である。

【図２６】ＯＵＭセルの構造を説明するための図２５における概略的な断面図である。

【図２７】実施の形態４に従うＯＵＭデバイスにおけるデータ書込構成を示す回路図である。

【図２８】実施の形態５におけるデータ書込電流の調整を説明する第１の概念図である。

【図２９】実施の形態５におけるデータ書込電流の調整を説明する第２の概念図である。

【図３０】実施の形態５に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図３１】実施の形態６におけるデータ書込電流の調整を説明する概念図である。
【図３２】実施の形態６に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図３３】実施の形態６の変形例に従うディジット線電流調整用の電流制御回路の構成を示す回路図である。
【図３４】実施の形態６の変形例に従うビット線電流調整用の電流制御回路の構成を示す回路図である。
【図３５】非対称なトンネル磁気抵抗素子ＴＭＲを備えた非対称メモリセルの第１の例を説明する図である。
【図３６】非対称メモリセルの第２の例を説明する図である。
【図３７】対称メモリセルの例を説明する図である。
【図３８】対称メモリセルと非対称メモリセルの磁化特性を比較する概念図である。
【図３９】非対称メモリセルのデータ書込特性およびこれに応じたデータ書込電流の調整を説明する概念図である。
【図４０】実施の形態７に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図４１】図４０に示されたセレクタの具体的な構成例を示す回路図である。
【図４２】実施の形態７の変形例に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図４３】実施の形態８における非対称メモリセルのデータ書込特性およびデータ書込電流の調整を説明する概念図である。
【図４４】実施の形態８に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図４５】図４４に示されたスワップ回路の具体的な構成例を示す回路図である。
【図４６】実施の形態８の変形例に従うＭＲＡＭデバイスの構成を示すブロック図である。
【図４７】実施の形態９に従うＭＲＡＭデバイスの構成を示すブロック図である。

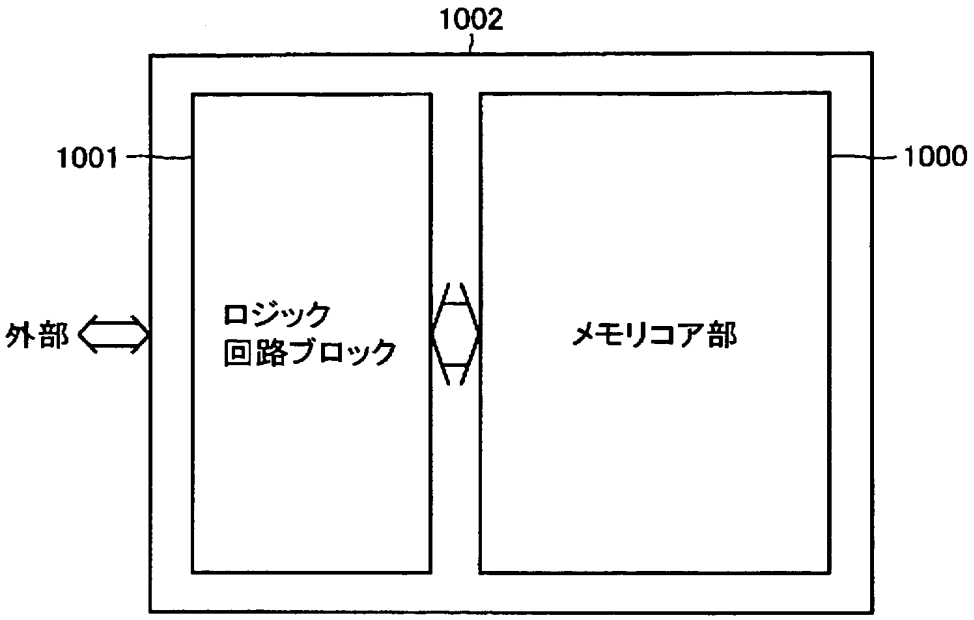
【符号の説明】

【０４２８】

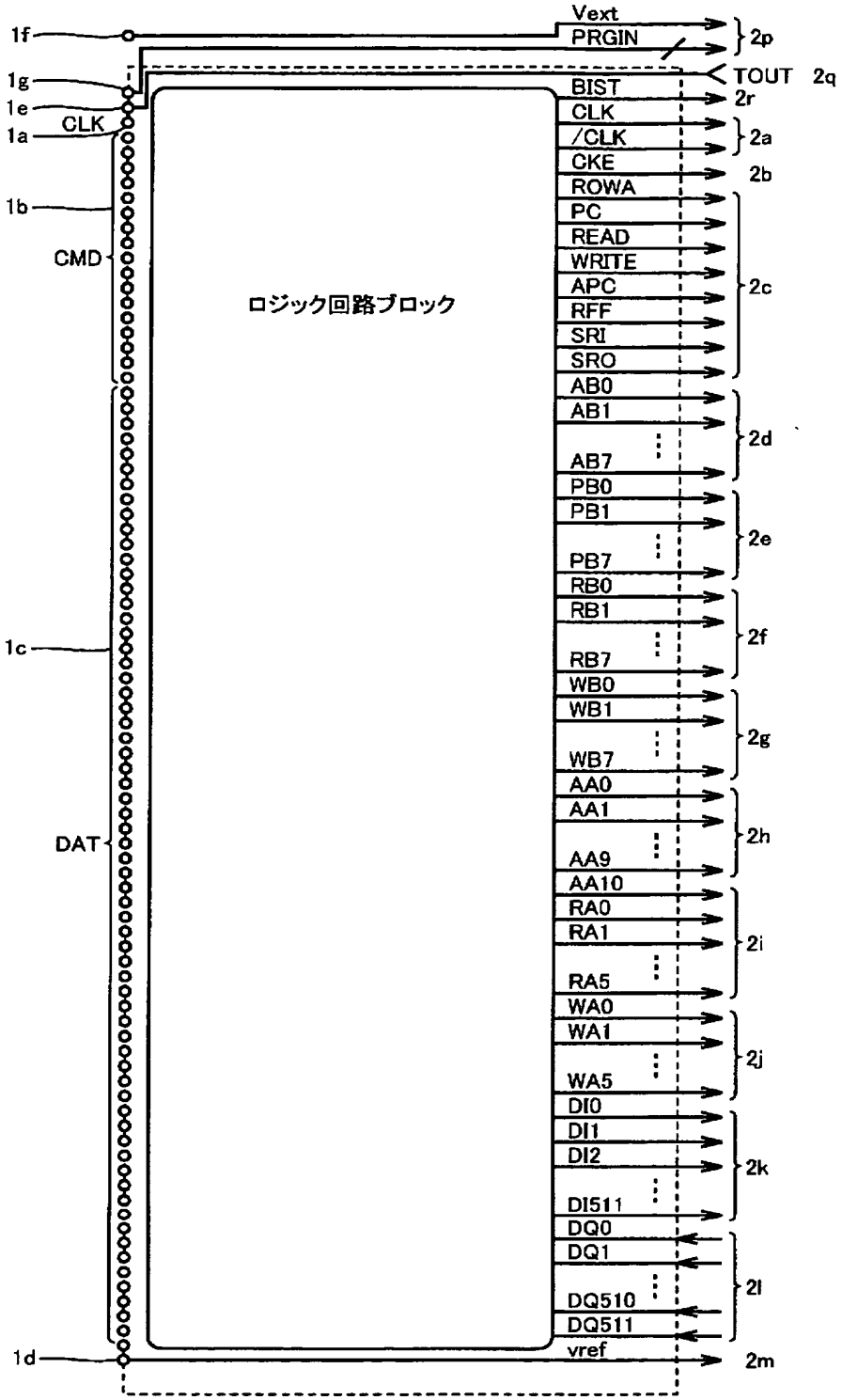
３０　ＢＩＳＴ回路、３１　プログラム回路、３５　テストメモリ、４０，２４０　内部電圧制御回路（Ｖｂｂ発生回路）、４０＃，２４０＃　内部電圧制御回路（Ｖｐｐ発生回路）、４１，４１＃，２４１，２４１＃　内部電圧配線、４２，４２ａ，４２ｂ　内部回路群、４３，４３ａ，４３ｂ　電源ノード、４５　リーク検知回路、４６　分圧回路、４７　固定抵抗回路、４８　可変抵抗回路、５５，６５　電圧比較器、６０　電圧発生回路、７０～７４　抵抗素子、８０～８３　バイパススイッチ、１００，１０１　リーク電流制御回路、１１０　テスト電流調整部、１１５　可変抵抗回路、１４０　内部電圧制御回路（スタンバイモード用）、１４６，５６２，５７２　分圧回路、１５０　トランジスタ、１６０　電荷供給回路、１０２ａ，１０２ｂ　電流スイッチ、２１０　メモリセルアレイ（ＭＲＡＭデバイス）、２１５Ｒ，２１５Ｗ　行デコーダ（ＭＲＡＭデバイス）、２２０　ライトディジット線ドライブ回路、２２２，２２４　ドライバトランジスタ（ＭＲＡＭデバイス：ライトディジット線）、２３０　ワード線ドライバ（ＭＲＡＭデバイス）、２５０ａ，２５０ｂ　ビット線ドライバ（ＭＲＡＭデバイス）、２５１　データ書込回路、２５２，２５４，２５６，２５８　ドライバトランジスタ（ＭＲＡＭデバイス：ビット線）、２６５　データ読出回路（ＭＲＡＭデバイス）、２９０，２９０＃，３９０，３９０＃，３９０ａ，３９０ｂ，３９１，３９１＃，３９１ａ，３９１ｂ　アステロイド特性線、３００　メモリセル（ＯＵＭデバイス）、３００ｄ　ダミーメモリセル（ＯＵＭデバイス）、３０５　メモリセルアレイ（ＯＵＭデバイス）、３１０　カルコゲナイド層、３２５　列選択部、３４０　データ書込回路（ＯＵＭデバイス）、３５０　ビット線ドライバ（ＯＵＭデバイス）、３５１，３５２　ドライバトランジスタ（ＯＵＭデバイス）、３６０　データ読出回路（ＯＵＭデバイス）、４００Ｓ　ソース電圧発生回路、４１０　内部電圧配線、４００，４００＃，４００ａ，４００ｂ，４０１，４０１＃，４０１ａ，４０１ｂ　動作点、４４０，４４０＃，５００　電圧制御回路、４４０Ａ　ＶＡ発生回路

、４４０Ｂ　ＶＢ発生回路、４４０Ｌ　ＶＬ発生回路、４４０Ｒ　ＶＲ発生回路、４４１Ｒ，４４１Ｌ、５０１　内部電圧配線、４４５，５１０　電流制御回路、５５０　ＶＤ０発生回路、５５１　ＶＤ１発生回路、５５５，６００＃　セレクタ、６００　スワップ回路、ＡＴＲ　アクセストランジスタ、ＢＬ，ＢＬ＃　ビット線、ＩＢＬ　ビット線電流、ＩＤＬ　ディジット線電流、Ｉｐ，±Ｉｗ　データ書込電流（ＭＲＡＭデバイス）、ＭＣ　メモリセル（ＭＲＡＭデバイス）、ＭＤＳ　モード制御信号、Ｐ０～Ｐ３，ＰＰ０～ＰＰ３，ＴＰ０～ＴＰ３，Ｐ０＃～Ｐ３＃，ＰＰ０＃～ＰＰ３＃，ＰＶＡ０～ＰＶＡ３，ＰＶＢ０～ＰＶＢ３，ＰＶＬ０～ＰＶＬ３，ＰＶＲ０～ＰＶＲ３，ＰＶＤ０～ＰＶＤ３，ＰＶＤ＃０～ＰＶＤ＃３，ＰＶＸ０～ＰＶＸ３，ＰＶＹ０～ＰＶＹ３　調整信号、Ｖｂｂ，Ｖｂｂ＃，Ｖｐｐ，Ｖｐｐ＃　内部電圧（基板電圧）、Ｖｅｘｔ　外部テスト電圧、ＷＬ　ワード線、ＷＤＬ　ライトディジット線、Ｖｄｉｖ　検出電圧、Ｖｃｓ　内部電圧（ソース電圧）。

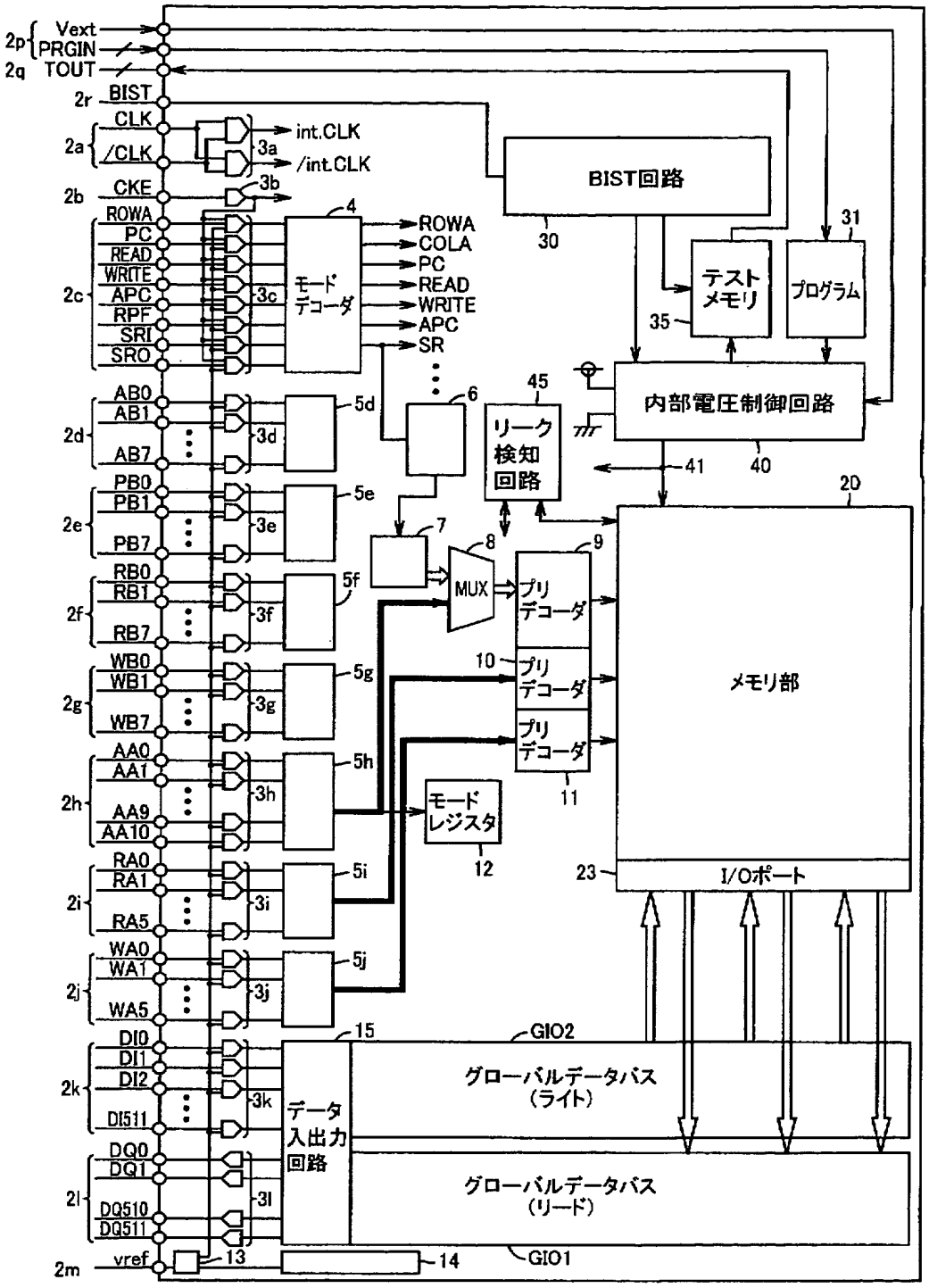
【書類名】図面
【図１】



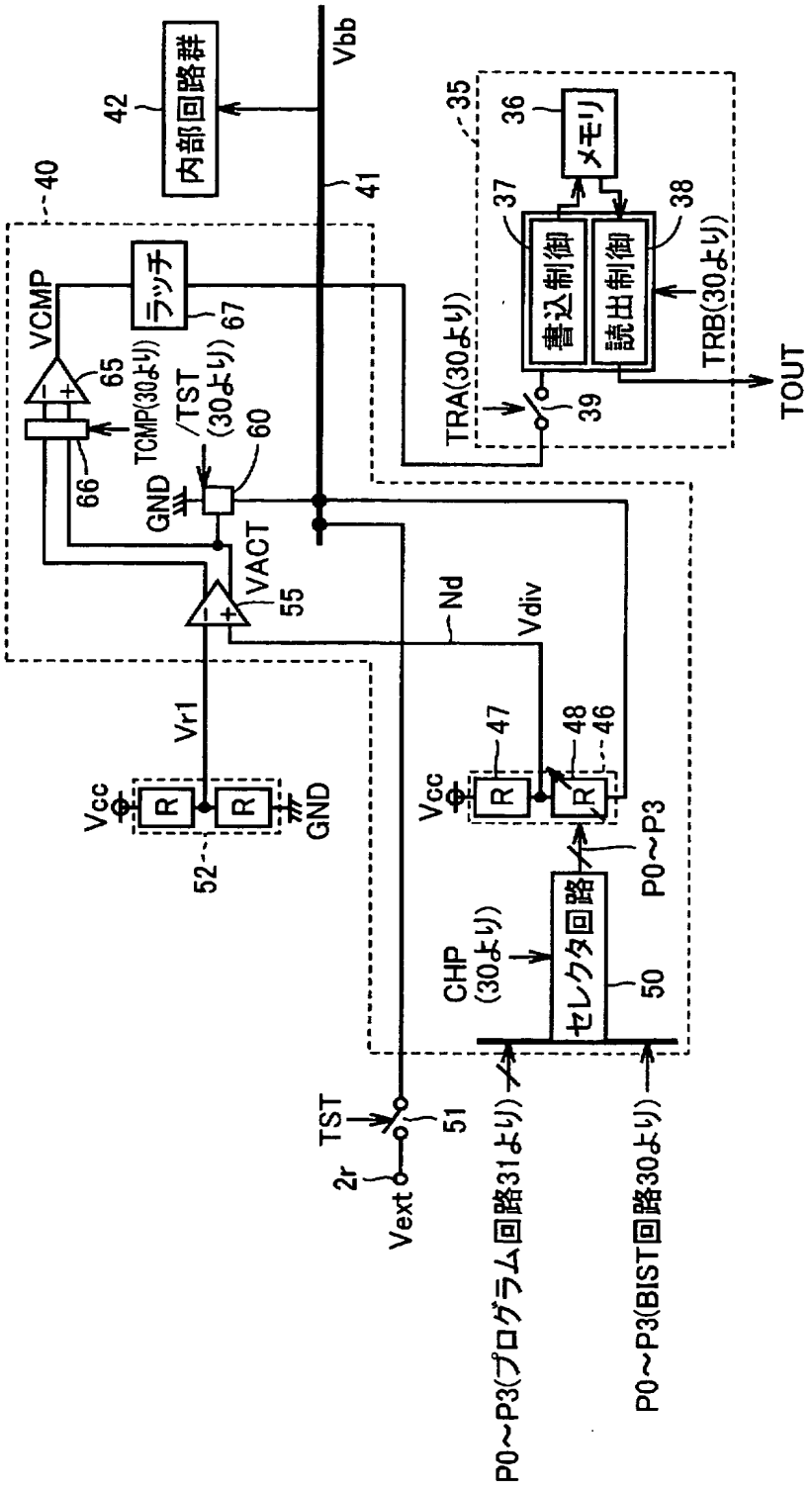
【図２】


1f
1g
1e
CLK
1a
1b
CMD
1c
DAT
1d
ロジック回路ブロック
Vext
PRGIN
2p
TOUT
2q
BIST
2r
CLK
/CLK
2a
CKE
2b
ROWA
PC
READ
WRITE
APC
RFF
SRI
SRO
2c
AB0
AB1
AB7
2d
PB0
PB1
PB7
2e
RB0
RB1
RB7
2f
WB0
WB1
WB7
2g
AA0
AA1
AA9
2h
AA10
RA0
RA1
RA5
2i
WA0
WA1
WA5
2j
DI0
DI1
DI2
DI511
2k
DQ0
DQ1
DQ510
DQ511
2l
vref
2m

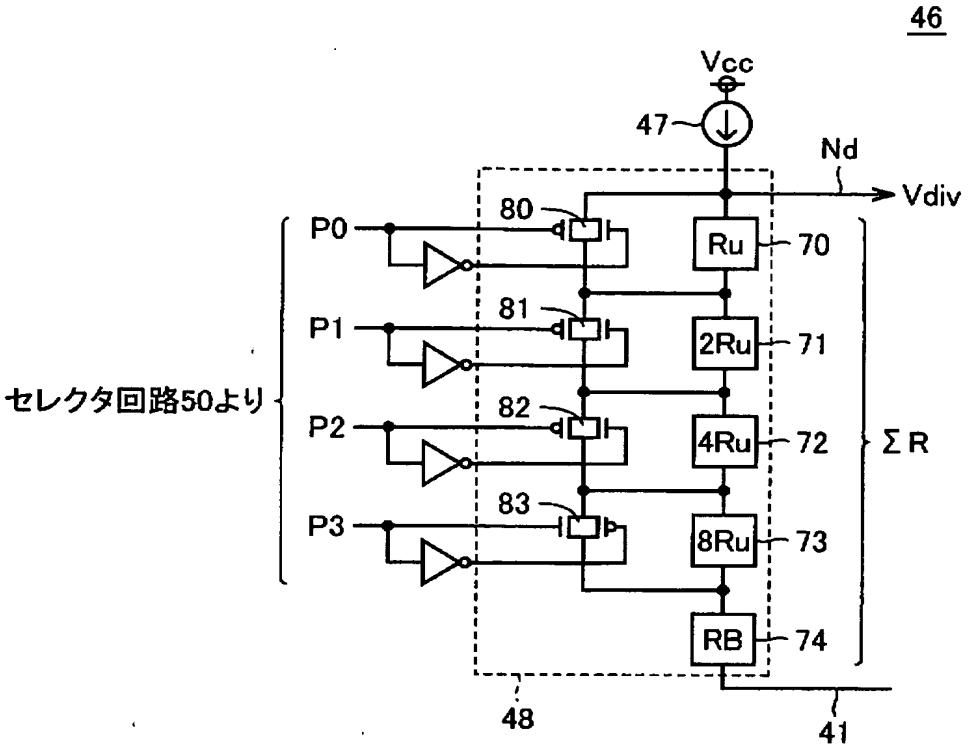
【図３】


Vext
PRGIN
TOUT
BIST
CLK
/CLK
int.CLK
/int.CLK
CKE
ROWA
PC
READ
WRITE
APC
RPF
SRI
SRO
モード
デコーダ
ROWA
COLA
PC
READ
WRITE
APC
SR
BIST回路
テスト
メモリ
プログラム
内部電圧制御回路
リーク
検知
回路
AB0
AB1
AB7
PB0
PB1
PB7
RB0
RB1
RB7
WB0
WB1
WB7
AA0
AA1
AA9
AA10
RA0
RA1
RA5
WA0
WA1
WA5
MUX
プリ
デコーダ
プリ
デコーダ
プリ
デコーダ
メモリ部
モード
レジスタ
I/Oポート
DI0
DI1
DI2
DI511
DQ0
DQ1
DQ510
DQ511
データ
入出力
回路
グローバルデータバス
(ライト)
グローバルデータバス
(リード)
vref
GIO2
GIO1

【図４】


内部回路群
42
Vbb
41
40
35
36
メモリ
37
38
書込制御
読出制御
TRB(30より)
TOUT
TRA(30より)
39
ラッチ
67
VCMP
65
TCMP(30より)
/TST
(30より)
60
66
GND
VACT
55
Nd
Vdiv
Vr1
Vcc
R
GND
52
47
48
46
P0～P3
CHP
(30より)
セレクタ回路
50
TST
51
2r
Vext
P0～P3(プログラム回路31より)
P0～P3(BIST回路30より)

【図５】


46
Vcc
47
Nd
Vdiv
80
81
82
83
P0
P1
P2
P3
セレクタ回路50より
Ru
2Ru
4Ru
8Ru
RB
70
71
72
73
74
ΣR
48
41

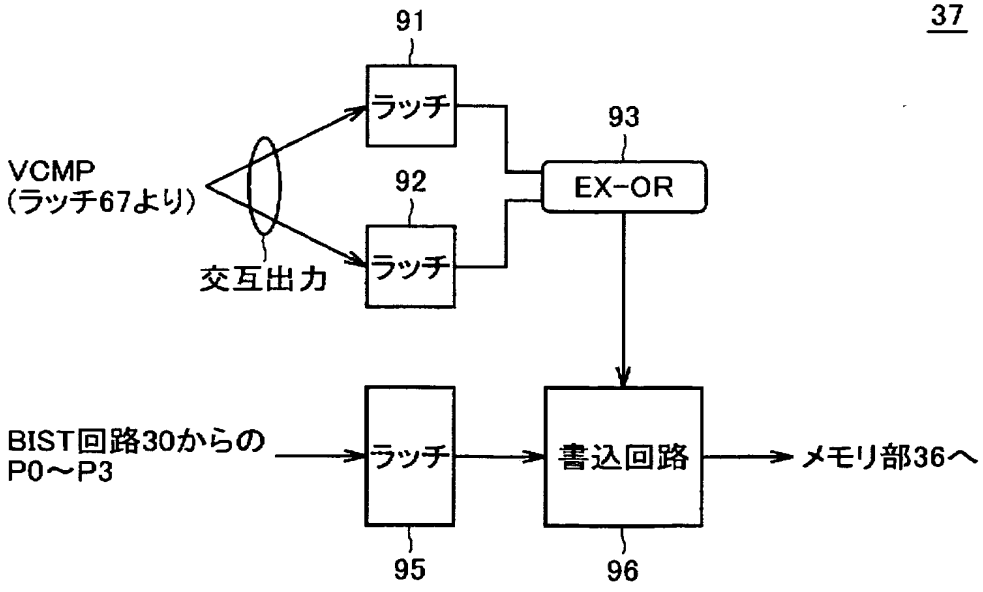
【図６】

Vbb低 ←→ Vbb高

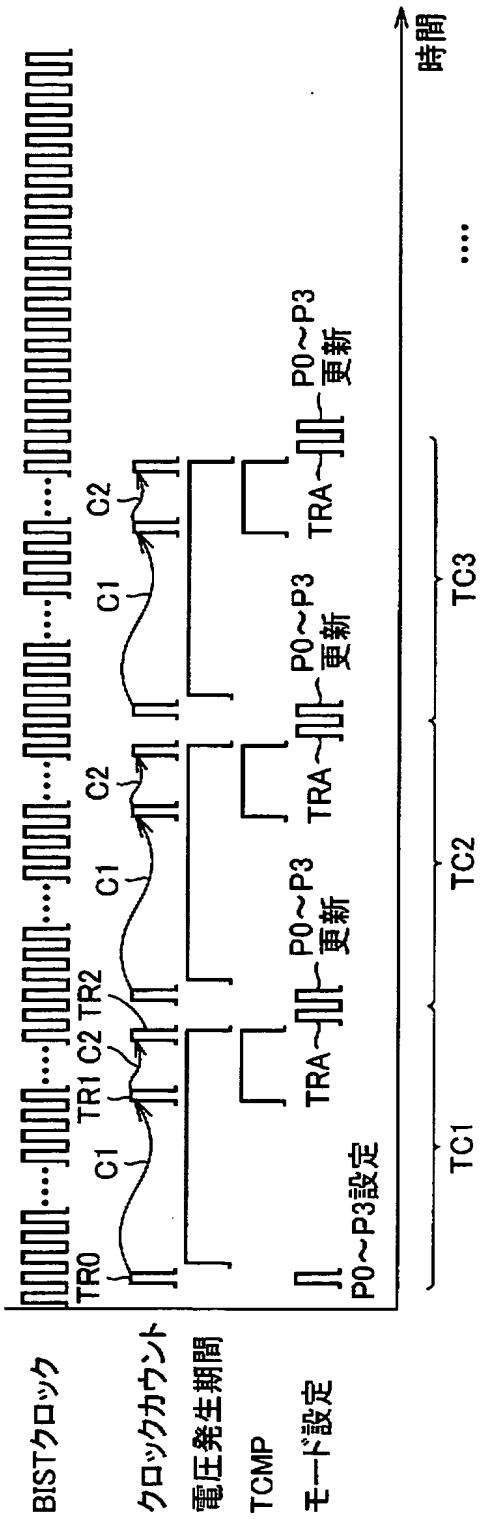
調整レベル		-8	-7	-6	-5	-4	-3	-2	-1	0	+1	+2	+3	+4	+5	+6	+7
調整信号（BIST回路30より）	P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	P1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	P2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
	P3	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
VCMPレベル		H	H	H	H	H	H	L	L	L	L	L	L	L	L	L	L
EX-OR93の出力		L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L

メモリ36へ蓄積される調整信号
- P0=1
- P1=0
- P2=1
- P3=1

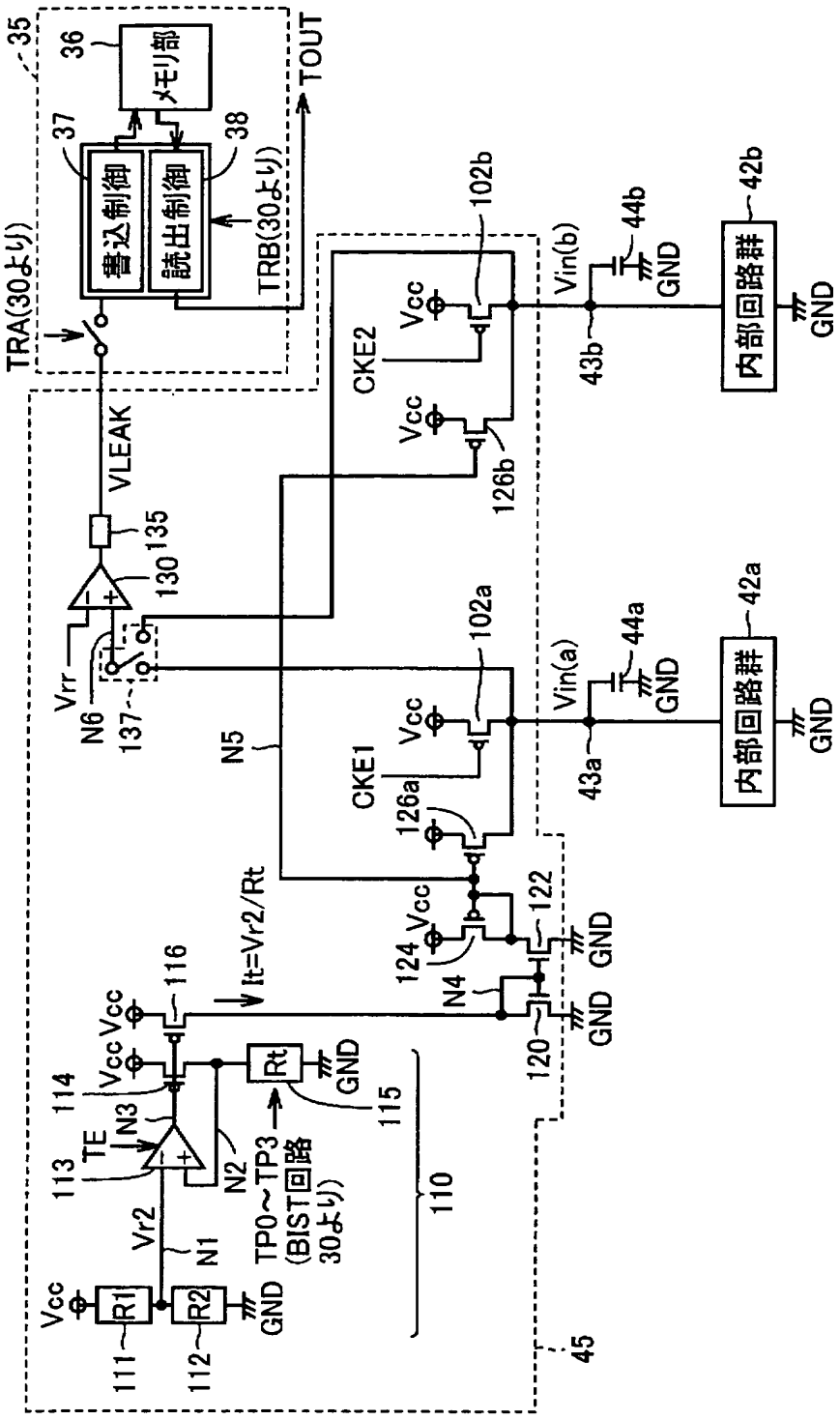
【図７】



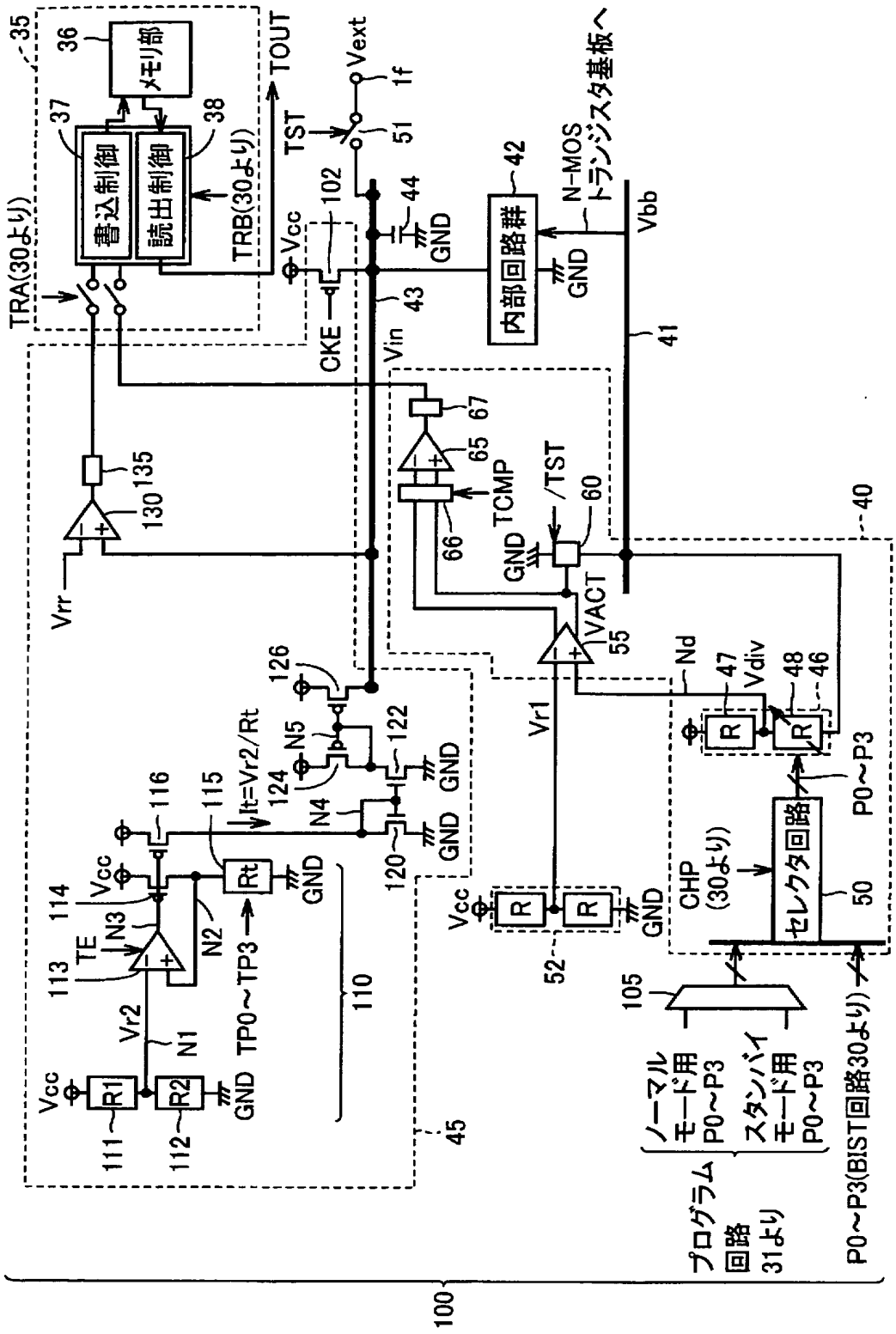
【図８】


BISTクロック
クロックカウント
電圧発生期間
TCMP
モード設定
TR0
C1
TR1
C2
TR2
C1
C2
C1
C2
TRA
P0～P3
更新
TRA
P0～P3
更新
TRA
P0～P3
更新
P0～P3設定
TC1
TC2
TC3
....
時間

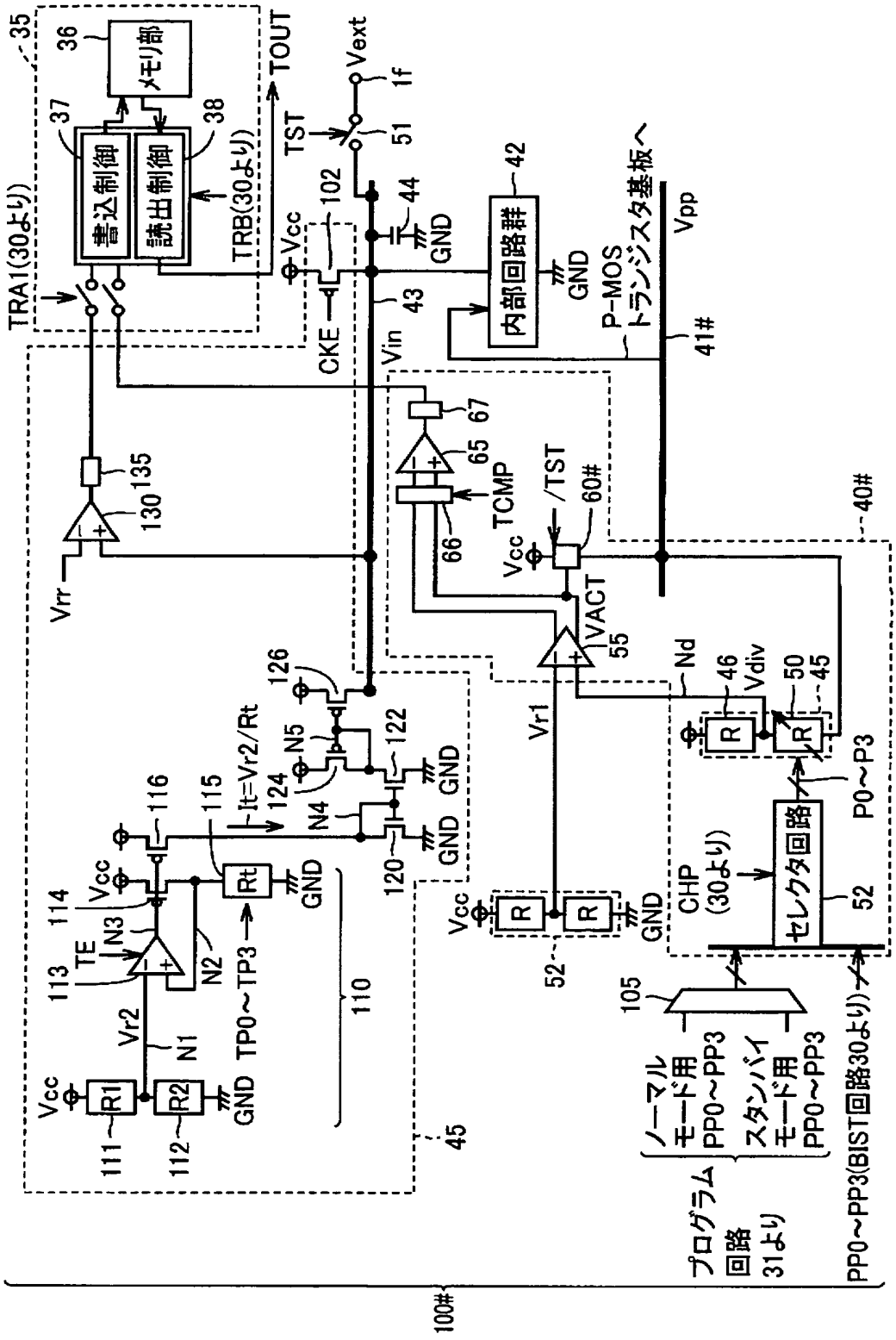
【図９】


35
36
メモリ部
37
書込制御
読出制御
38
TOUT
TRA(30より)
TRB(30より)
VLEAK
135
130
Vrr
N6
137
N5
CKE2
CKE1
102b
102a
126b
126a
Vcc
Vin(b)
Vin(a)
44b
44a
GND
42b
42a
内部回路群
43b
43a
It=Vr2/Rt
116
124
122
120
N4
114
N3
113
TE
N2
Rt
115
110
TP0～TP3
(BIST回路
30より)
Vr2
N1
R1
R2
111
112
45

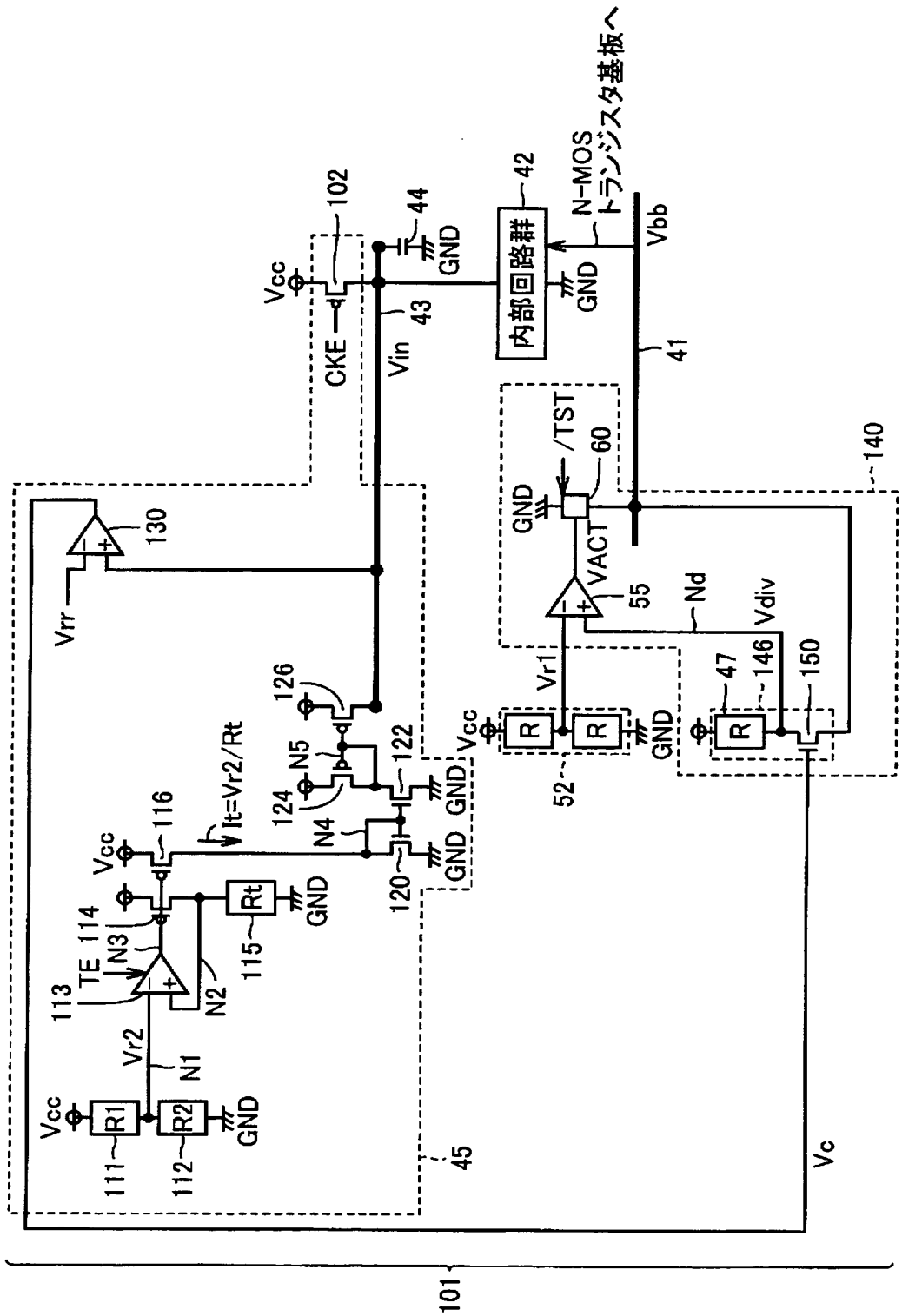
【図１０】


35
36
メモリ部
37
書込制御
読出制御
38
TRB(30より)
TRA(30より)
TOUT
TST
Vext
1f
51
102
44
GND
Vcc
42
内部回路群
N-MOS
トランジスタ基板へ
Vbb
41
43
CKE
Vin
67
65
TCMP
66
GND
/TST
60
40
135
130
Vrr
126
N5
122
GND
124
It=Vr2/Rt
N4
116
115
120
GND
Vcc
114
N3
TE
113
N2
Rt
GND
TP0～TP3
110
Vr2
N1
R1
R2
111
112
GND
45
Vr1
VACT
55
Nd
47
Vdiv
48
46
R
R
52
Vcc
GND
CHP
(30より)
セレクタ回路
50
P0～P3
105
ノーマル
モード用
P0～P3
スタンバイ
モード用
P0～P3
プログラム
回路
31より
P0～P3(BIST回路30より)
100

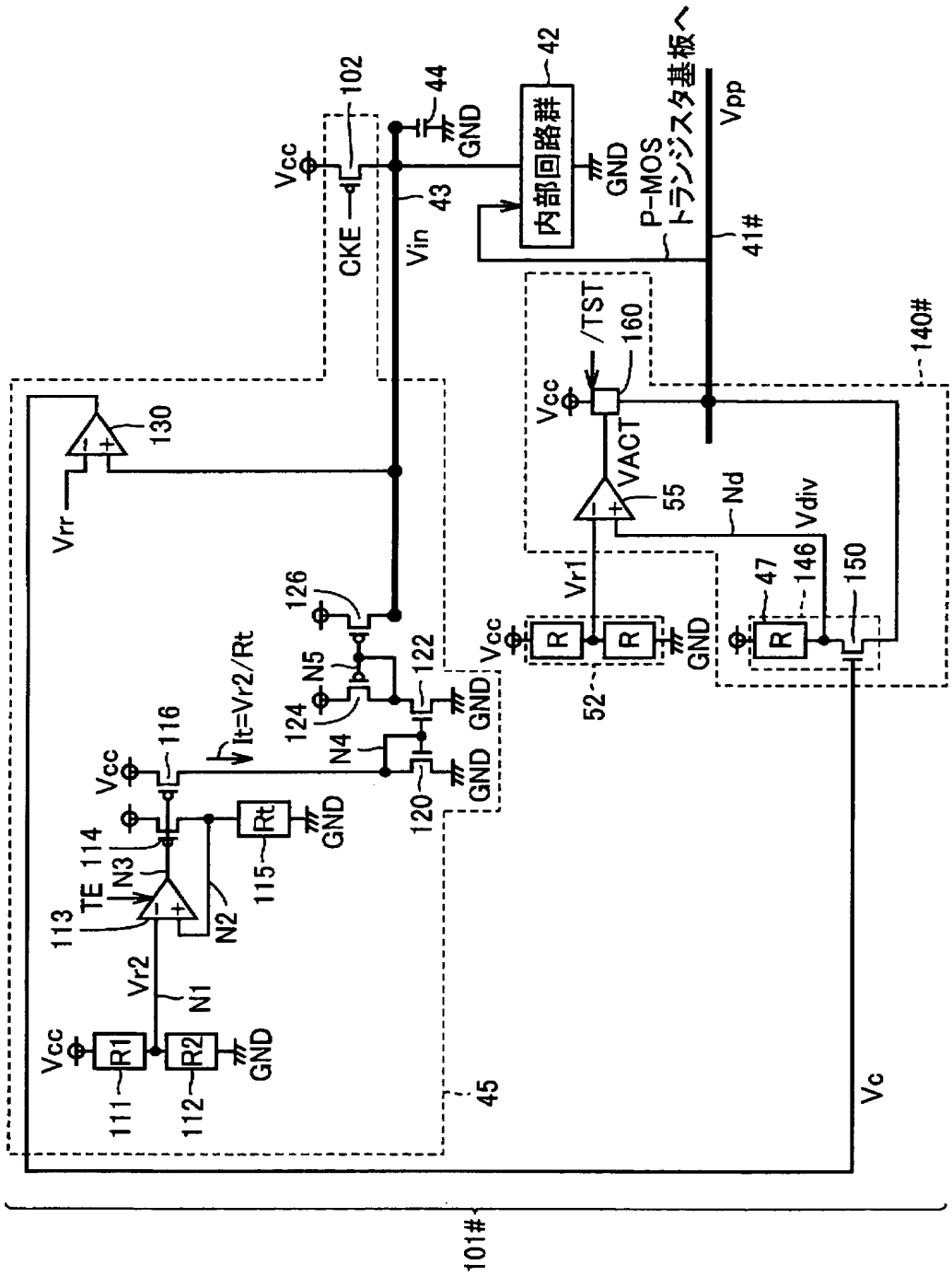
【図１１】


35
36
メモリ部
37
書込制御
読出制御
38
TRB(30より)
TOUT
Vext
1f
TST
51
TRA1(30より)
102
Vcc
44
GND
42
内部回路群
GND
P-MOS
トランジスタ基板へ
Vpp
41#
CKE
Vin
43
67
65
TCMP
66
/TST
60#
Vcc
VACT
55
40#
135
130
Vrr
126
N5
122
GND
Nd
46
Vdiv
50
45
R
Vr1
It=Vr2/Rt
124
116
115
N4
120
GND
P0～P3
CHIP
(30より)
セレクタ回路
52
Vcc
114
N3
TE
113
Rt
GND
N2
TP0～TP3
110
Vr2
N1
105
R1
R2
GND
111
112
45
ノーマル
モード用
PP0～PP3
スタンバイ
モード用
PP0～PP3
プログラム
回路
31より
PP0～PP3(BIST回路30より)
100#

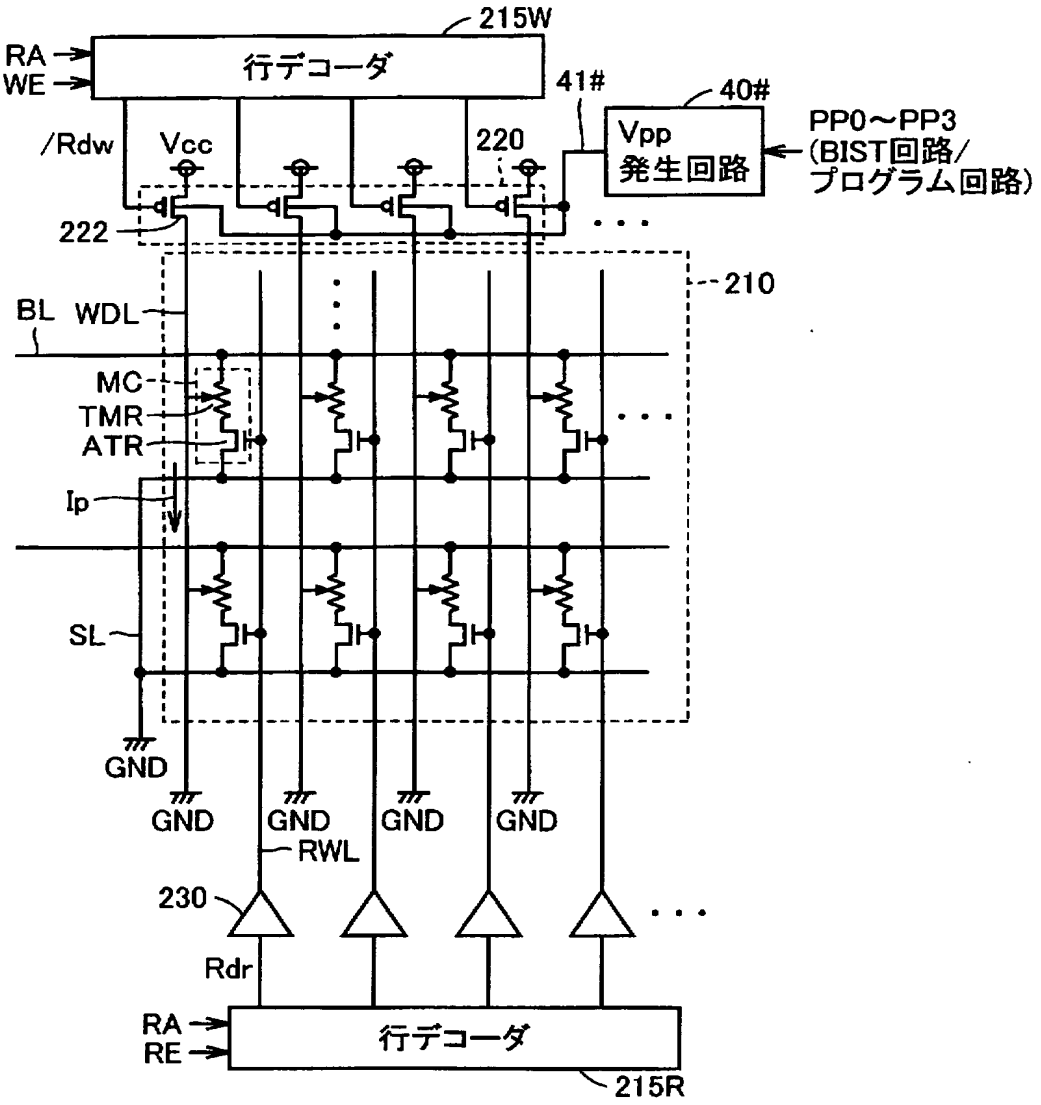
【図１２】


101
Vc
45
Vcc
R1
R2
GND
111
112
Vr2
N1
113
TE
114
N3
N2
115
Rt
116
It=Vr2/Rt
120
122
124
N4
N5
126
130
Vrr
CKE
102
Vcc
44
GND
43
Vin
42
内部回路群
N-MOS
トランジスタ基板へ
Vbb
41
140
/TST
60
GND
VACT
55
Nd
Vdiv
Vr1
52
R
47
146
150

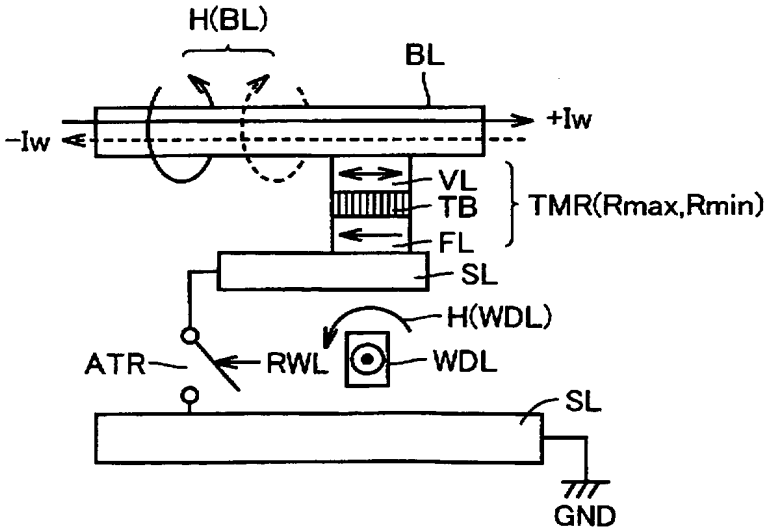
【図１３】


101#
45
Vc
Vrr
130
Vcc
CKE
102
Vin
43
44
GND
42
内部回路群
GND
P-MOS
トランジスタ基板へ
Vpp
41#
140#
/TST
160
Vcc
VACT
55
Nd
Vdiv
146
150
47
R
R
R
GND
Vr1
52
126
N5
122
124
N4
120
GND
GND
Vcc
116
It=Vr2/Rt
Rt
GND
115
TE
114
N3
113
N2
Vr2
N1
Vcc
R1
R2
GND
111
112

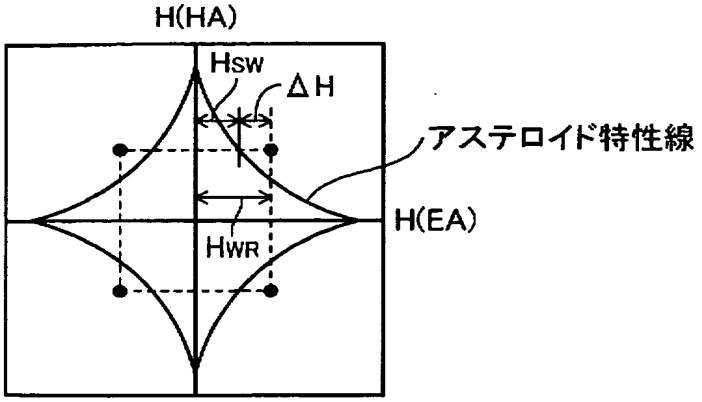
【図１４】


215W
RA
WE
行デコーダ
41#
40#
Vpp
発生回路
PP0～PP3
(BIST回路/
プログラム回路)
/Rdw
Vcc
220
222
210
BL
WDL
MC
TMR
ATR
Ip
SL
GND
RWL
230
Rdr
RA
RE
行デコーダ
215R

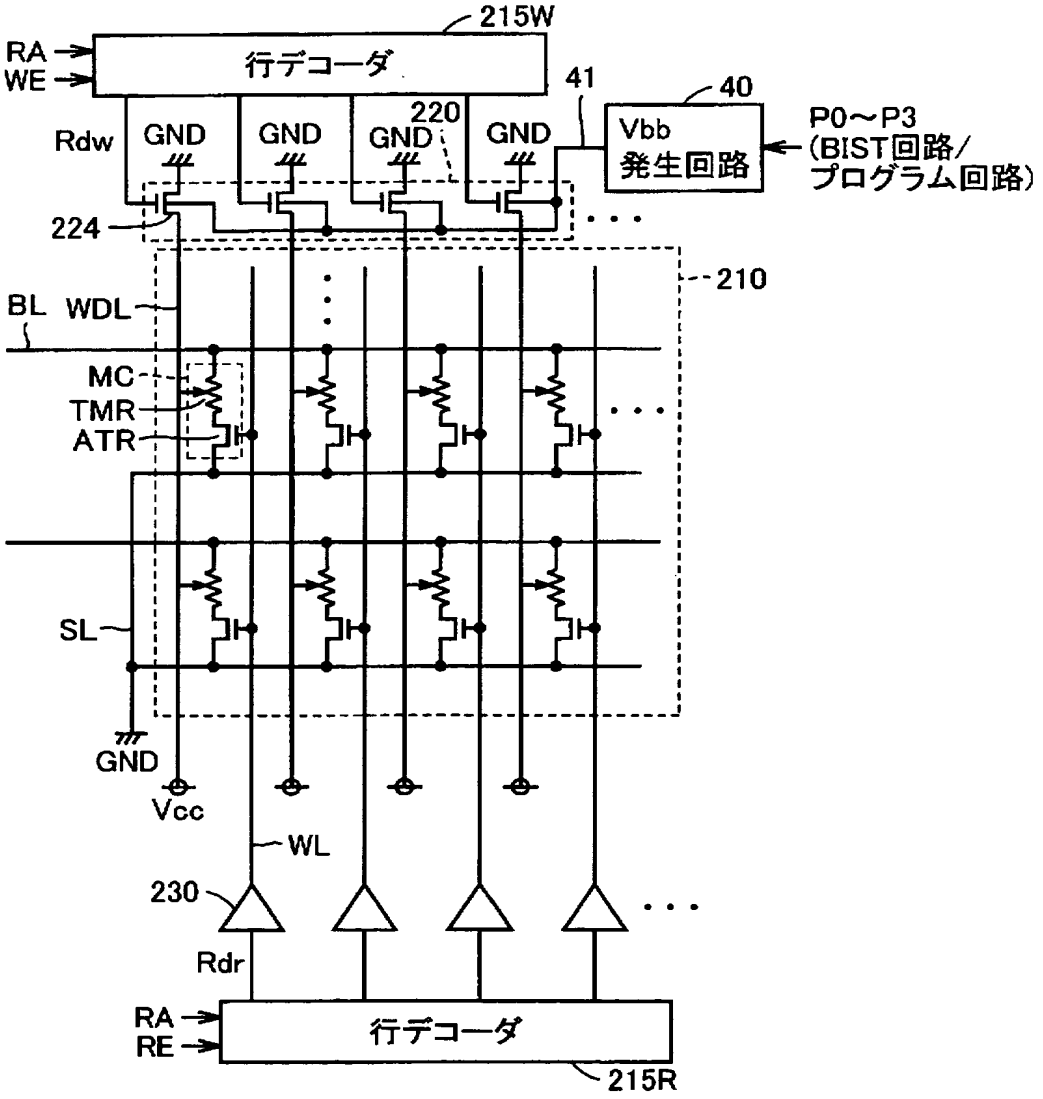
【図１５】


H(BL)
BL
-Iw
+Iw
VL
TB
FL
TMR(Rmax,Rmin)
SL
H(WDL)
ATR
RWL
WDL
SL
GND

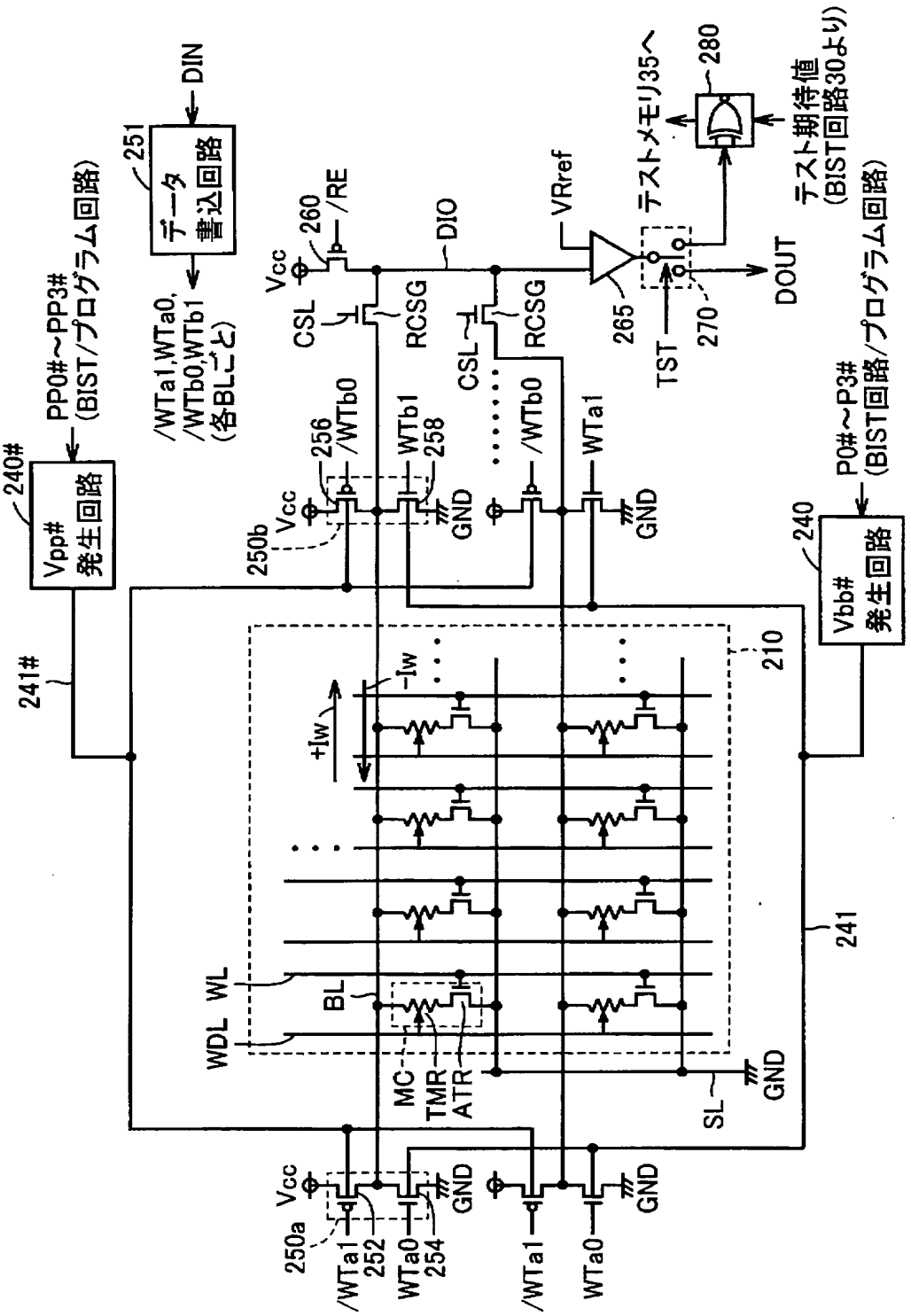
【図１６】


H(HA)
Hsw
ΔH
アステロイド特性線
H(EA)
HWR

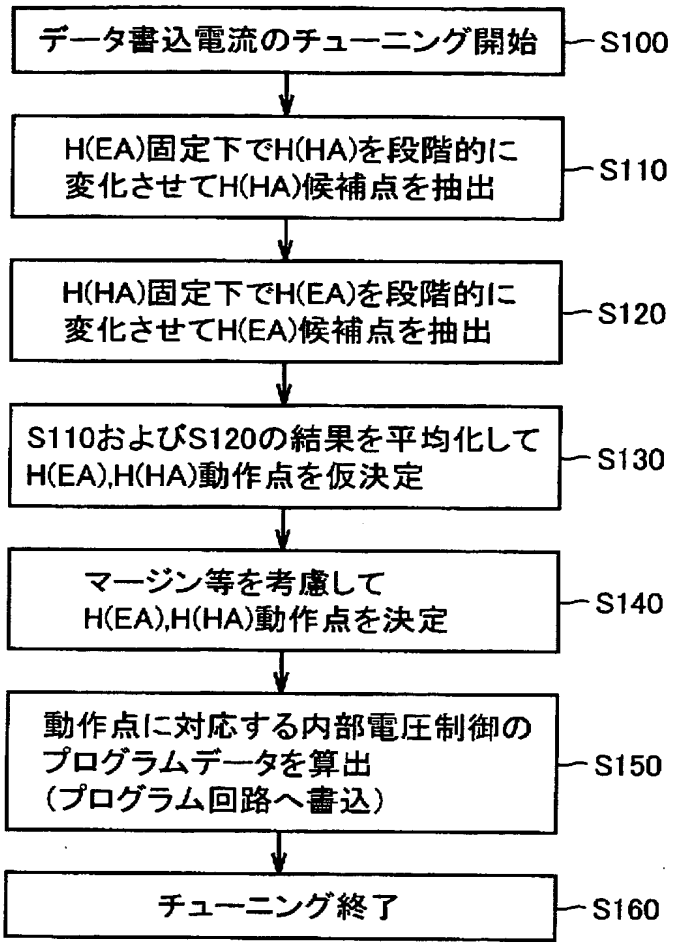
【図１７】


215W
RA
WE
行デコーダ
41
40
220
Rdw
GND
GND
GND
GND
Vbb
発生回路
P0～P3
(BIST回路/
プログラム回路)
224
210
BL
WDL
MC
TMR
ATR
SL
GND
Vcc
WL
230
Rdr
RA
RE
行デコーダ
215R

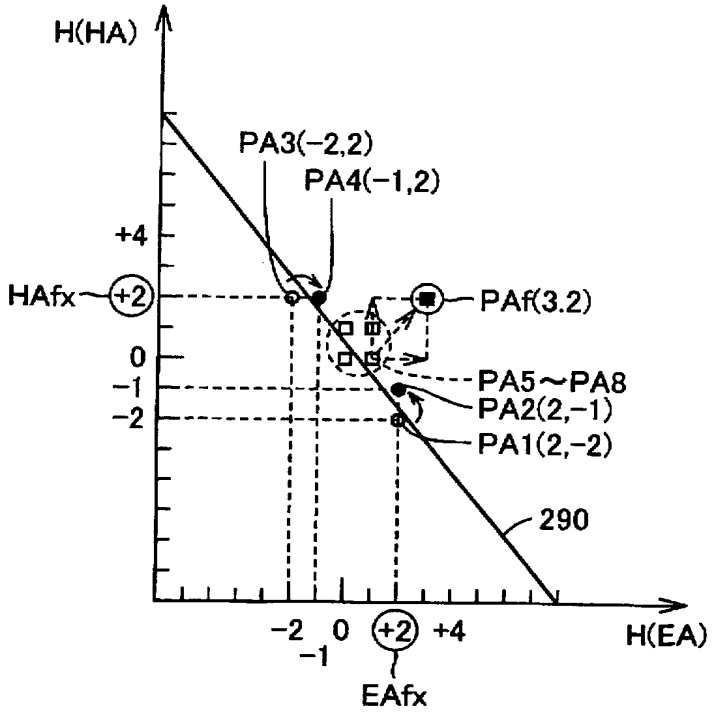
【図１８】


DIN
251
データ書込回路
/WTa1,WTa0,
/WTb0,WTb1
(各BLごと)
PP0#～PP3#
(BIST/プログラム回路)
240#
Vpp#
発生回路
241#
260
/RE
Vcc
CSL
RCSG
DIO
VRref
テストメモリ35へ
280
テスト期待値
(BIST回路30より)
DOUT
265
270
TST
256
/WTb0
WTb1
258
GND
250b
WTa1
P0#～P3#
(BIST回路/プログラム回路)
240
Vbb#
発生回路
210
-Iw
+Iw
241
WDL
WL
BL
MC
TMR
ATR
SL
250a
/WTa1
252
WTa0
254

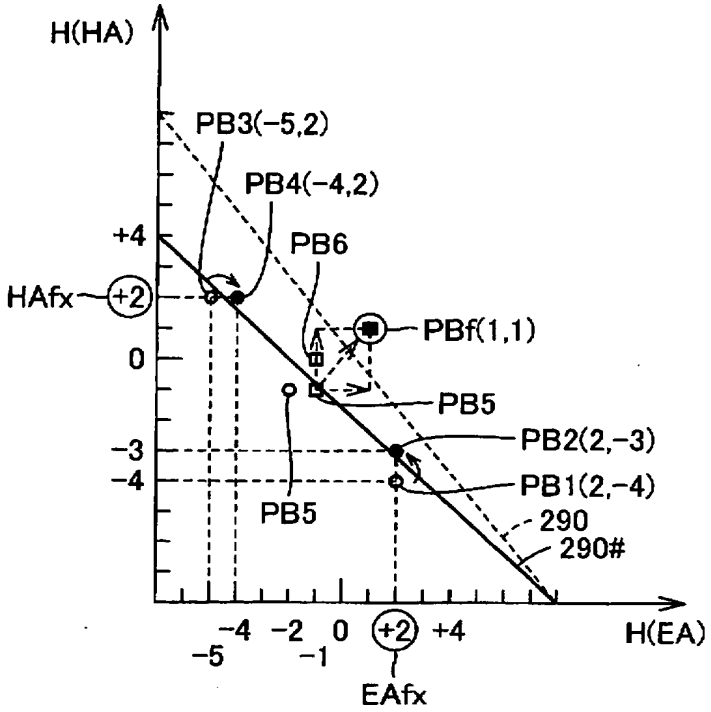
【図１９】


データ書込電流のチューニング開始
S100
H(EA)固定下でH(HA)を段階的に変化させてH(HA)候補点を抽出
S110
H(HA)固定下でH(EA)を段階的に変化させてH(EA)候補点を抽出
S120
S110およびS120の結果を平均化してH(EA),H(HA)動作点を仮決定
S130
マージン等を考慮してH(EA),H(HA)動作点を決定
S140
動作点に対応する内部電圧制御のプログラムデータを算出（プログラム回路へ書込）
S150
チューニング終了
S160

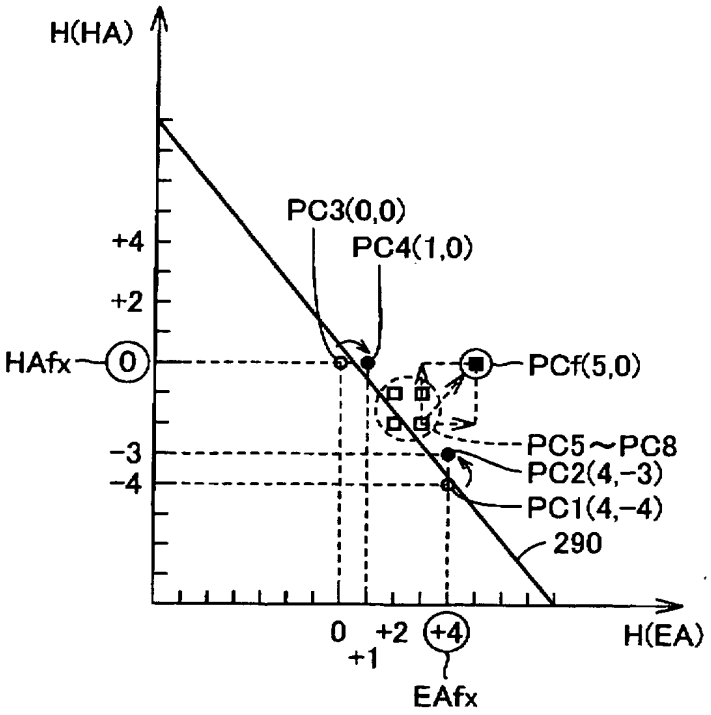
【図２０】


H(HA)
PA3(−2,2)
PA4(−1,2)
+4
HAfx
+2
PAf(3.2)
0
−1
−2
PA5～PA8
PA2(2,−1)
PA1(2,−2)
290
−2
−1
0
+2
+4
H(EA)
EAfx

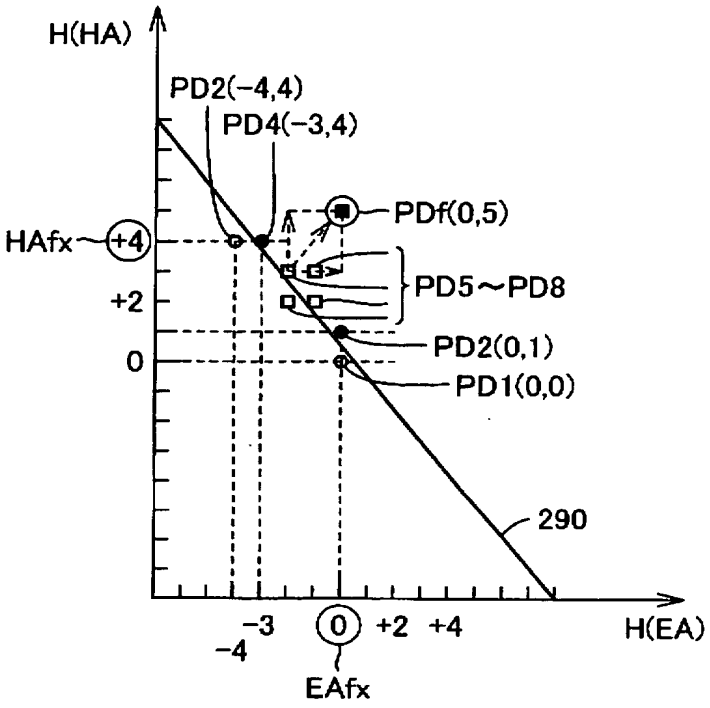
【図２１】


H(HA)
PB3(−5,2)
PB4(−4,2)
PB6
+4
HAfx
+2
0
PBf(1,1)
PB5
−3
PB2(2,−3)
−4
PB1(2,−4)
PB5
290
290#
−4
−2
0
+2
+4
H(EA)
−5
−1
EAfx

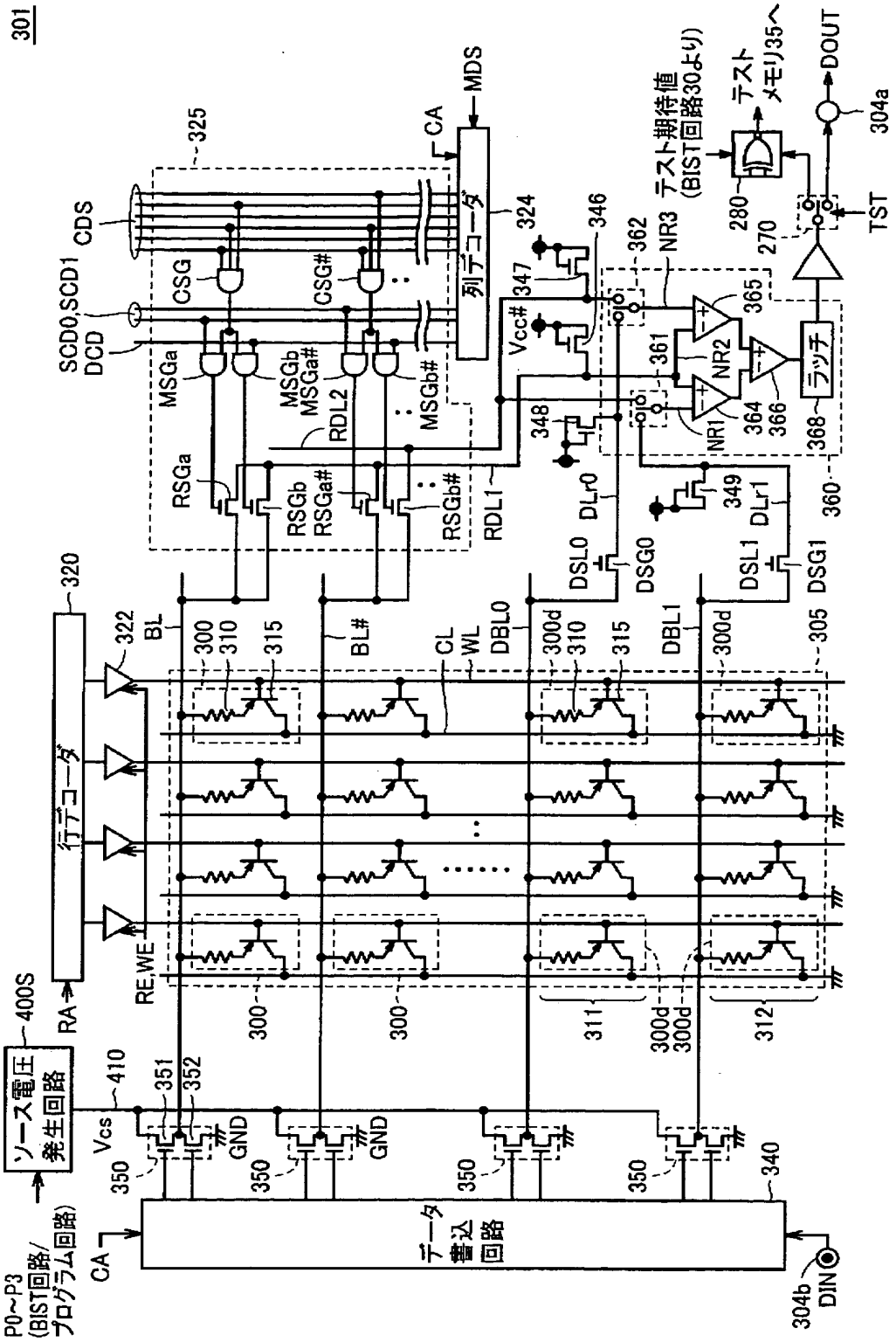
【図２２】


H(HA)
PC3(0,0)
PC4(1,0)
+4
+2
HAfx
0
PCf(5,0)
PC5〜PC8
−3
PC2(4,−3)
−4
PC1(4,−4)
290
0
+2
+4
H(EA)
+1
EAfx

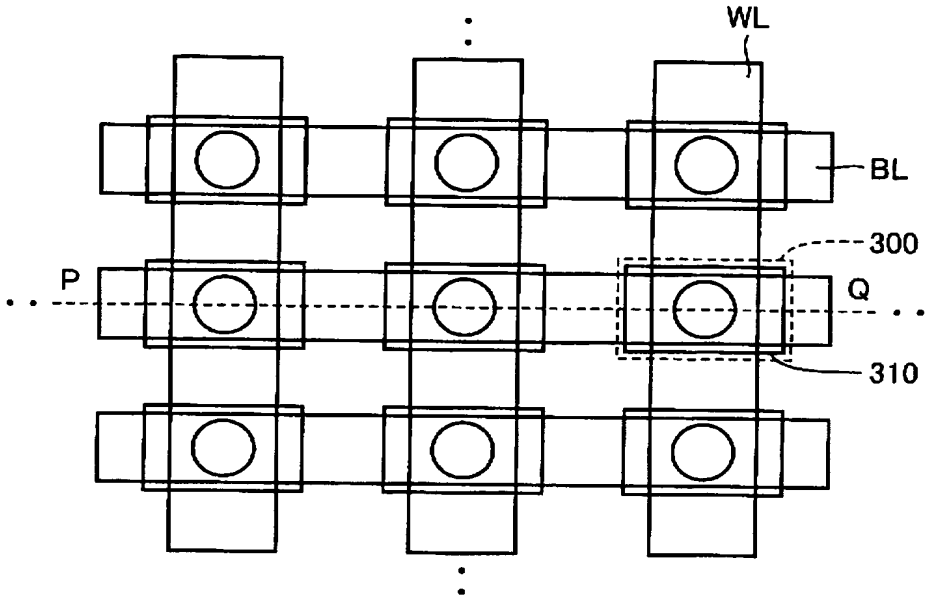
【図２３】


H(HA)
PD2(−4,4)
PD4(−3,4)
PDf(0,5)
HAfx
+4
PD5～PD8
+2
PD2(0,1)
0
PD1(0,0)
290
−3
−4
0
+2
+4
H(EA)
EAfx

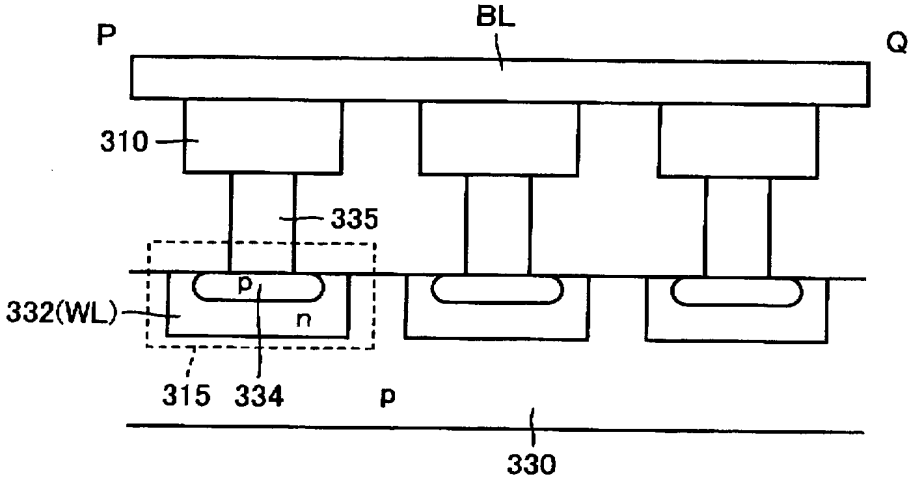
【図２４】


301
325
CDS
SCD0,SCD1
DCD
CSG
CSG#
MSGa
MSGb
MSGa#
MSGb#
RDL2
RSGa
RSGb
RSGa#
RSGb#
RDL1
CA
MDS
列デコーダ
324
346
347
Vcc#
348
DLr0
DSL0
DSG0
349
DLr1
DSL1
DSG1
360
362
NR3
テスト期待値
(BIST回路30より)
テスト
メモリ35へ
DOUT
304a
280
270
TST
365
361
NR2
364
NR1
366
ラッチ
368
320
行デコーダ
322
BL
BL#
CL
WL
DBL0
DBL1
300
310
315
300d
305
RA
RE,WE
400S
ソース電圧
発生回路
410
Vcs
351
352
GND
350
340
データ
書込
回路
CA
P0~P3
(BIST回路/
プログラム回路)
304b
DIN
311
312

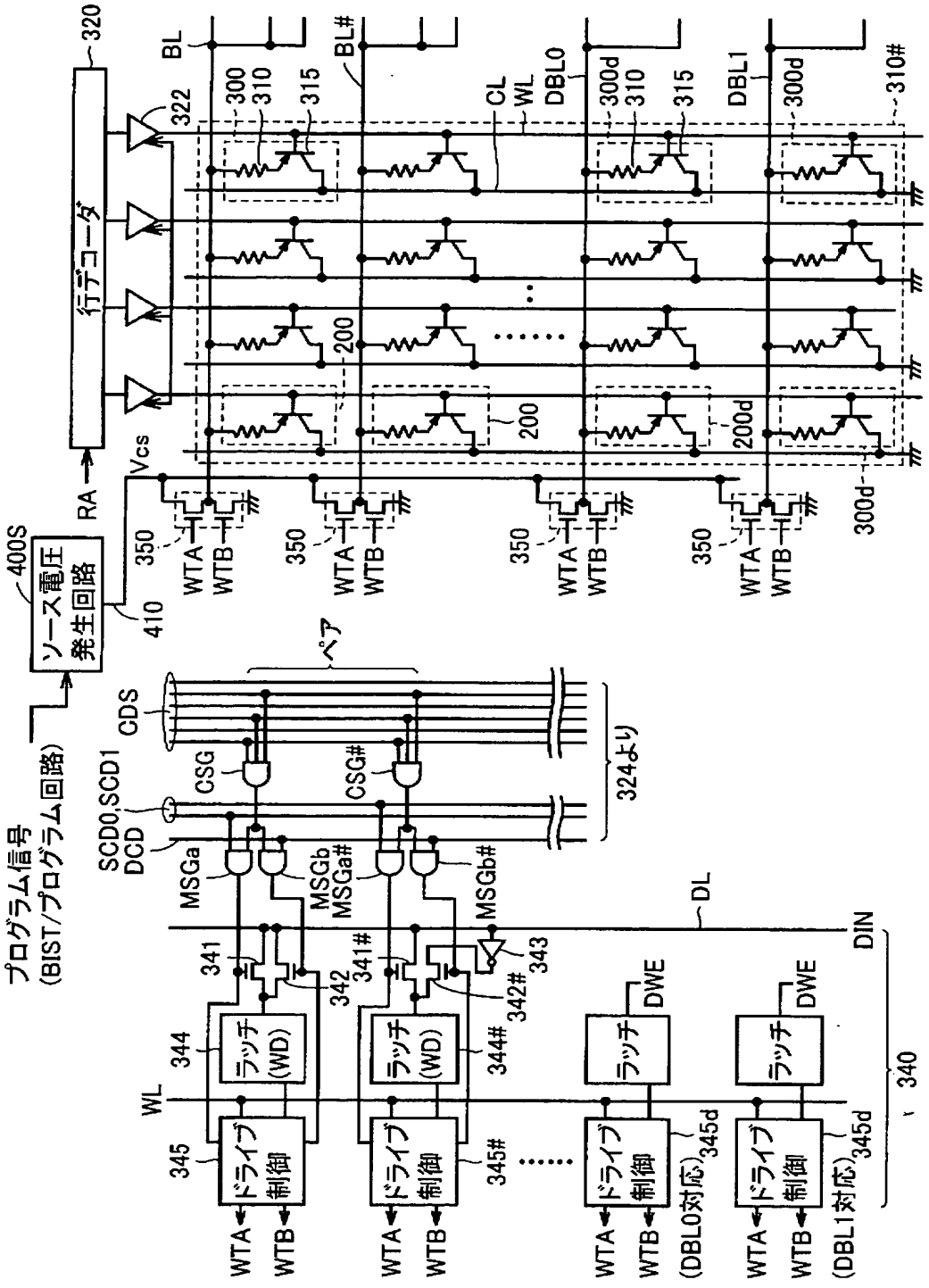
【図２５】



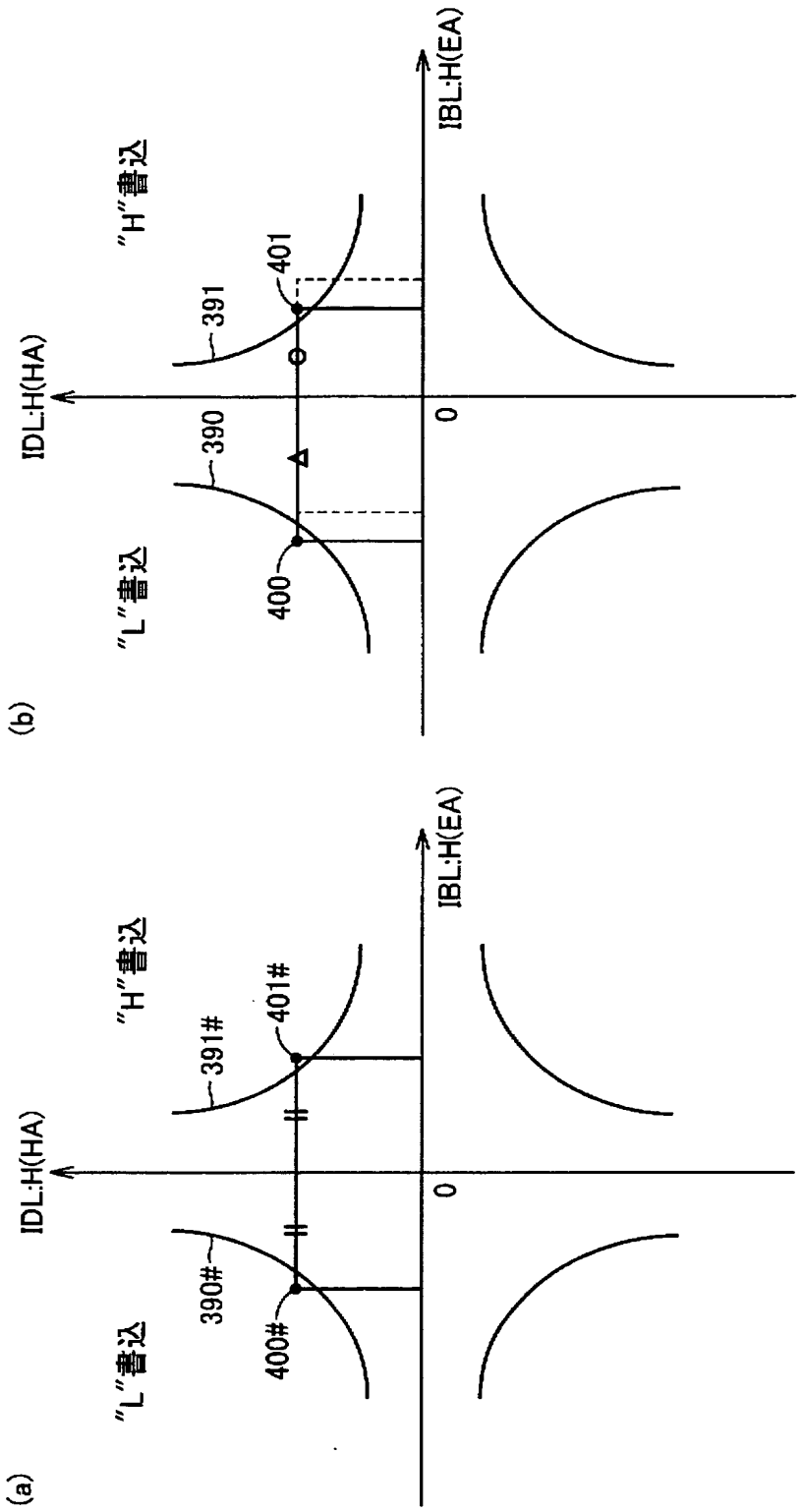
【図２６】



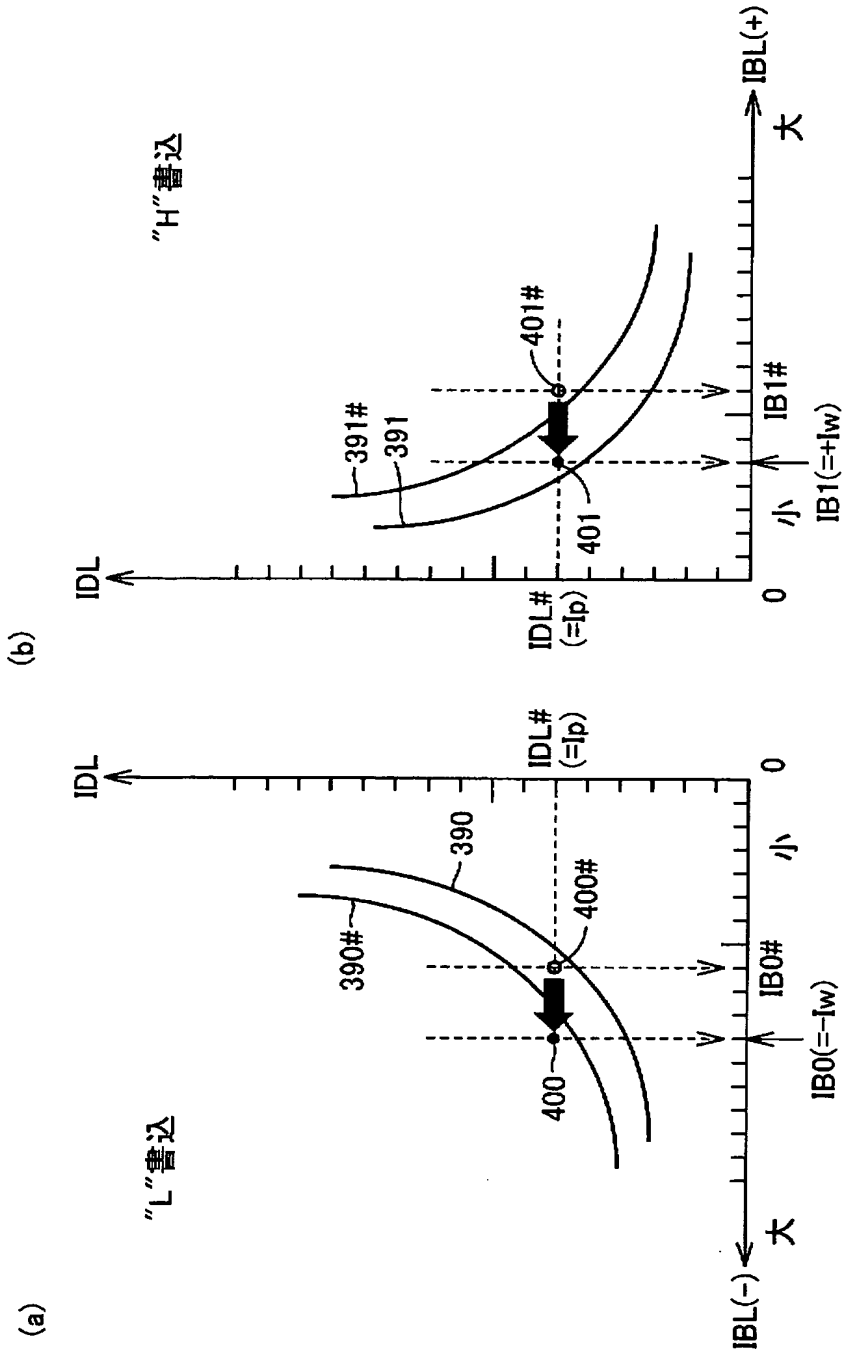
【図２７】


行デコーダ
320
RA
BL
BL#
CL
WL
DBL0
DBL1
300
300d
310
310#
315
322
200
200d
Vcs
350
WTA
WTB
400S
ソース電圧
発生回路
410
プログラム信号
(BIST/プログラム回路)
ペア
CDS
CSG
CSG#
SCD0,SCD1
DCD
MSGa
MSGb
MSGa#
MSGb#
324より
DL
DIN
341
341#
342
342#
343
344
344#
ラッチ
(WD)
DWE
345
345#
345d
ドライブ
制御
(DBL0対応)
(DBL1対応)
340

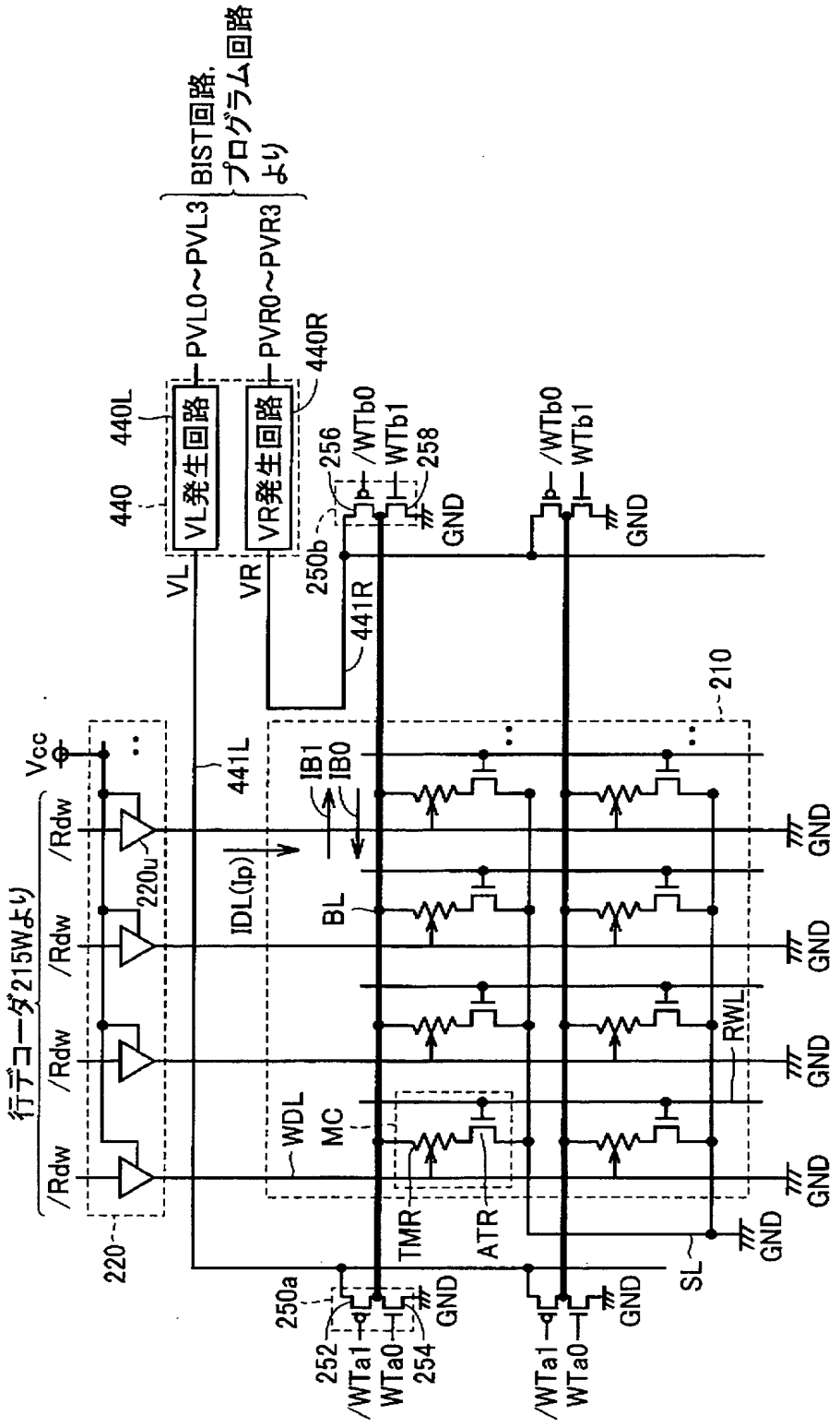
【図２８】


(a)
IDL:H(HA)
IBL:H(EA)
"H"書込
"L"書込
391#
401#
390#
400#
0
(b)
IDL:H(HA)
IBL:H(EA)
"H"書込
"L"書込
391
401
390
400
Δ
0

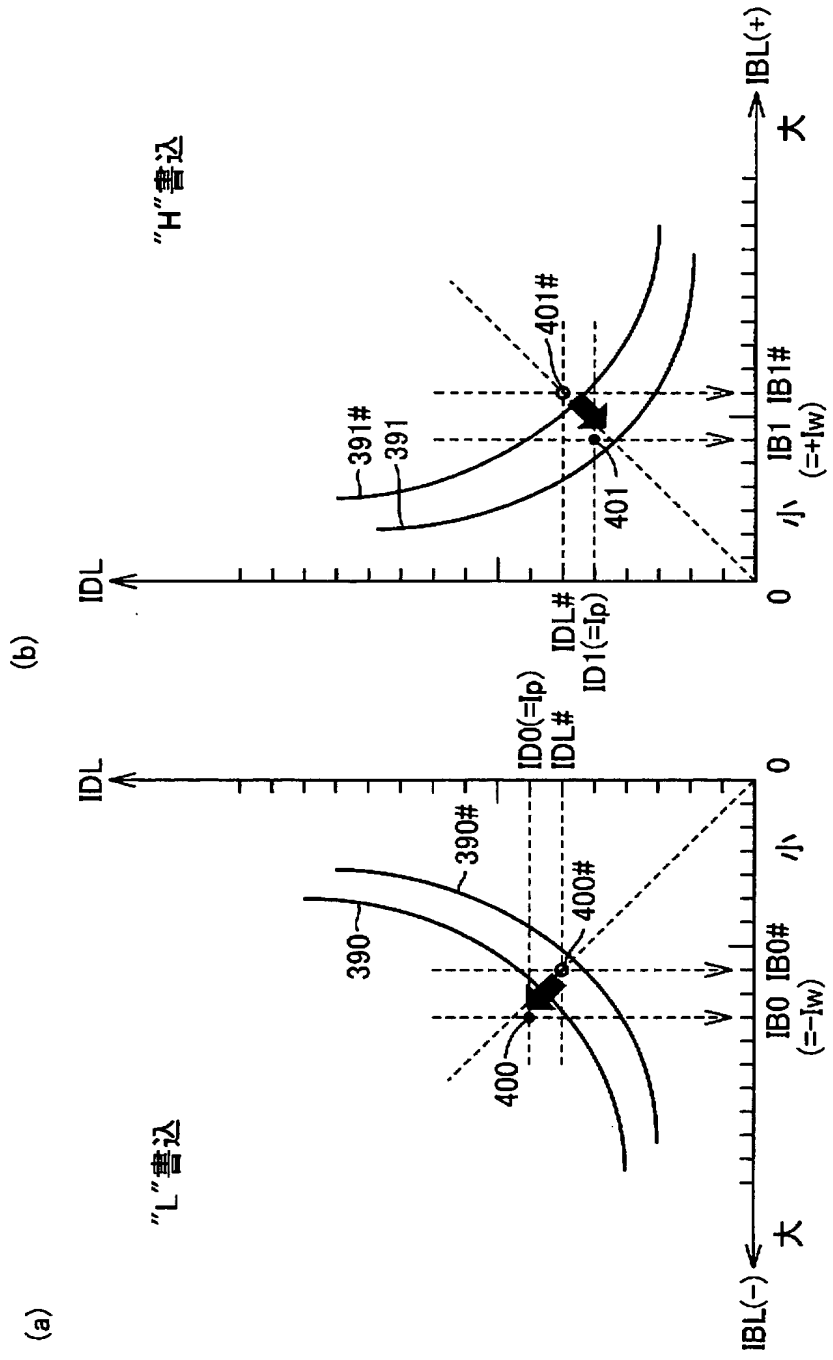
【図２９】


(a)
"L"書込
IDL
IDL#
(=Ip)
0
小
大
IBL(-)
IBL(+)
390
390#
400#
400
IB0#
IB0(=-Iw)
(b)
"H"書込
IDL
IDL#
(=Ip)
0
小
大
IBL(+)
391#
391
401#
401
IB1#
IB1(=+Iw)

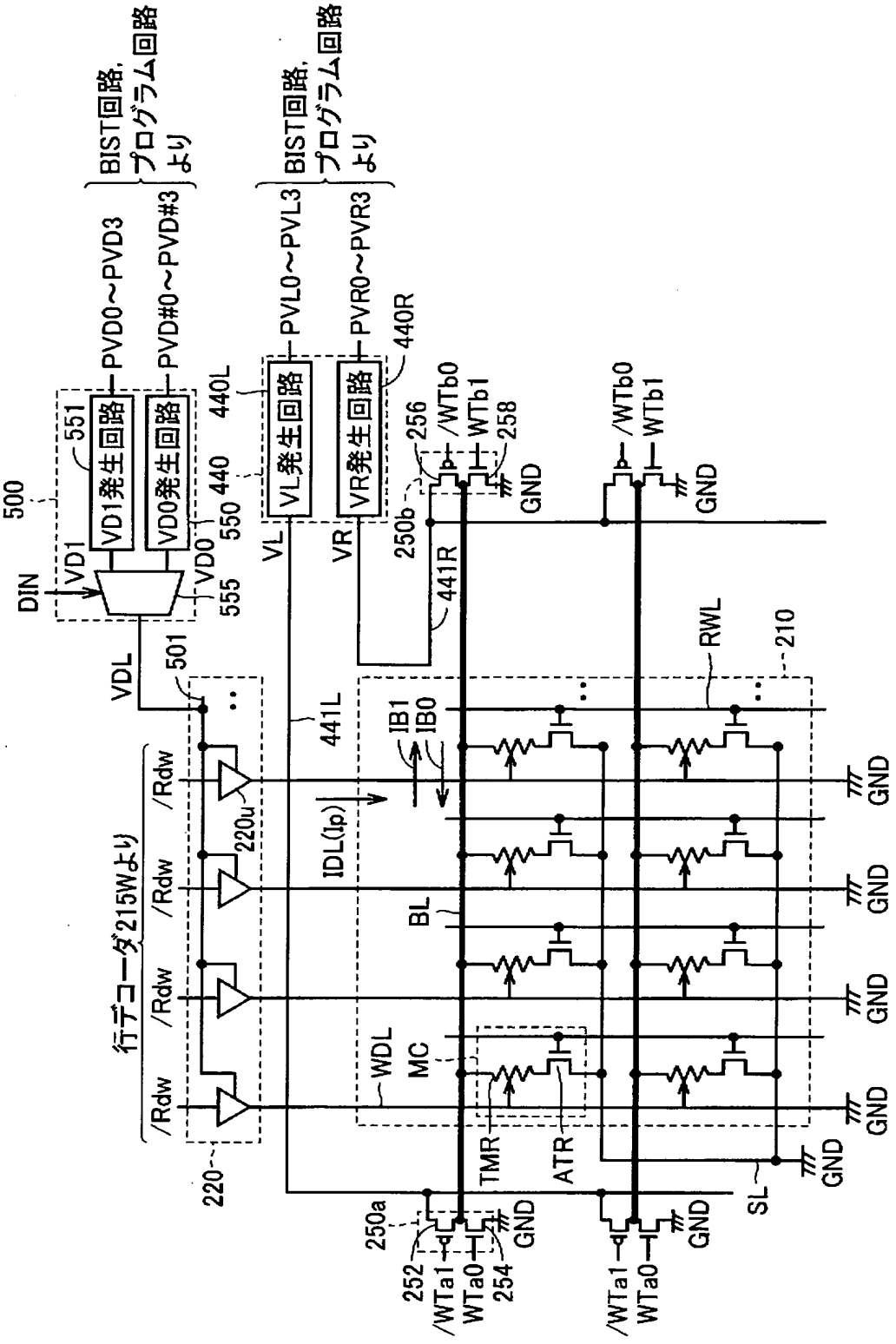
【図３０】


BIST回路,
プログラム回路
より
PVL0～PVL3
PVR0～PVR3
440
440L
440R
VL発生回路
VR発生回路
VL
VR
250b
256
/WTb0
WTb1
258
GND
441R
441L
210
Vcc
IB1
IB0
IDL(Ip)
BL
WDL
MC
TMR
ATR
RWL
SL
220
220u
/Rdw
行デコーダ215Wより
250a
252
/WTa1
WTa0
254

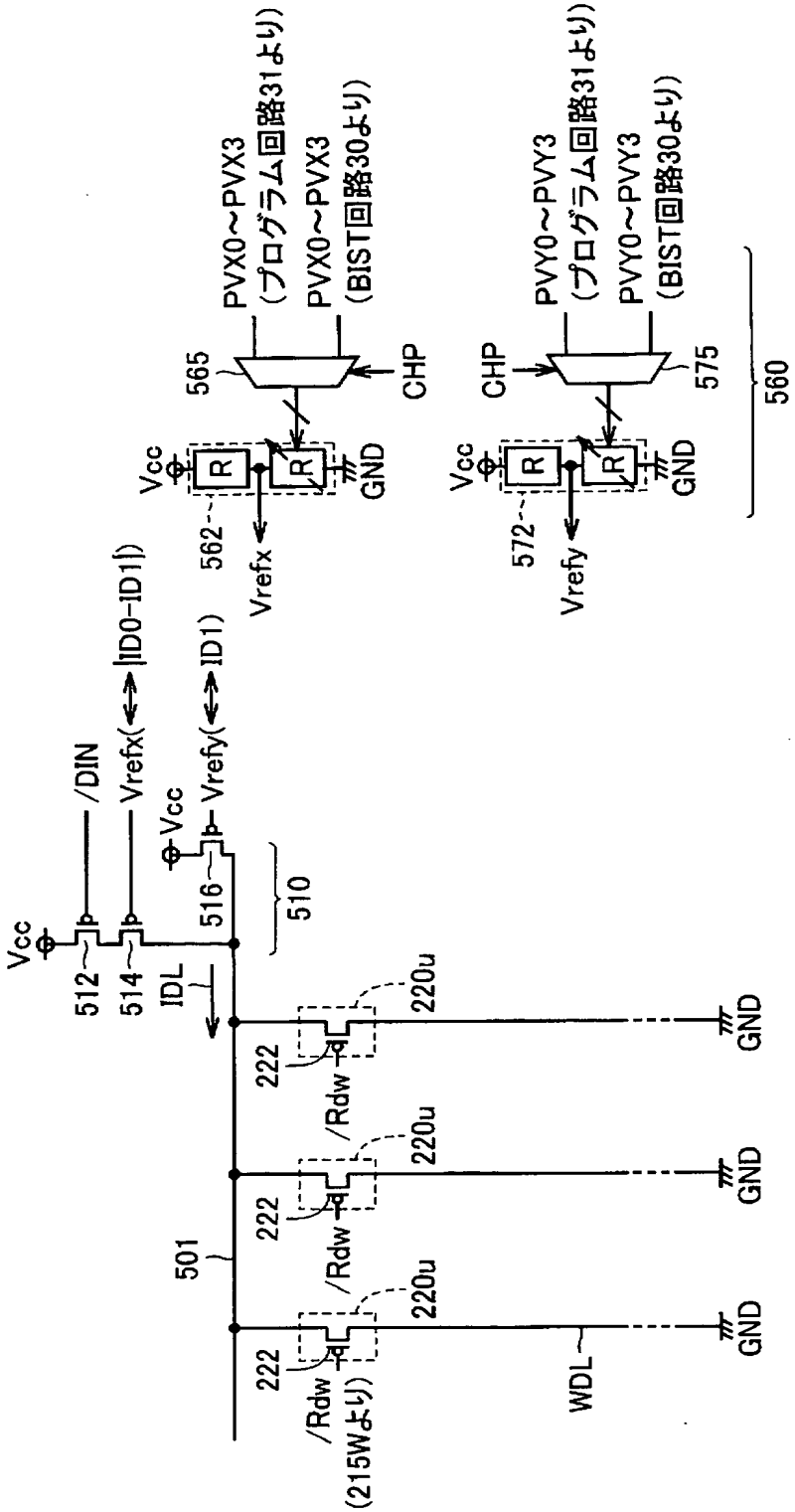
【図３１】


(a)
"L"書込
IDL
IDL#
ID0(=Ip)
390#
390
400#
400
IBL(-)
大
IB0
IB0#
(=-Iw)
小
0
(b)
"H"書込
IDL
IDL#
ID1(=Ip)
391#
391
401#
401
IBL(+)
大
IB1
IB1#
(=+Iw)
小
0

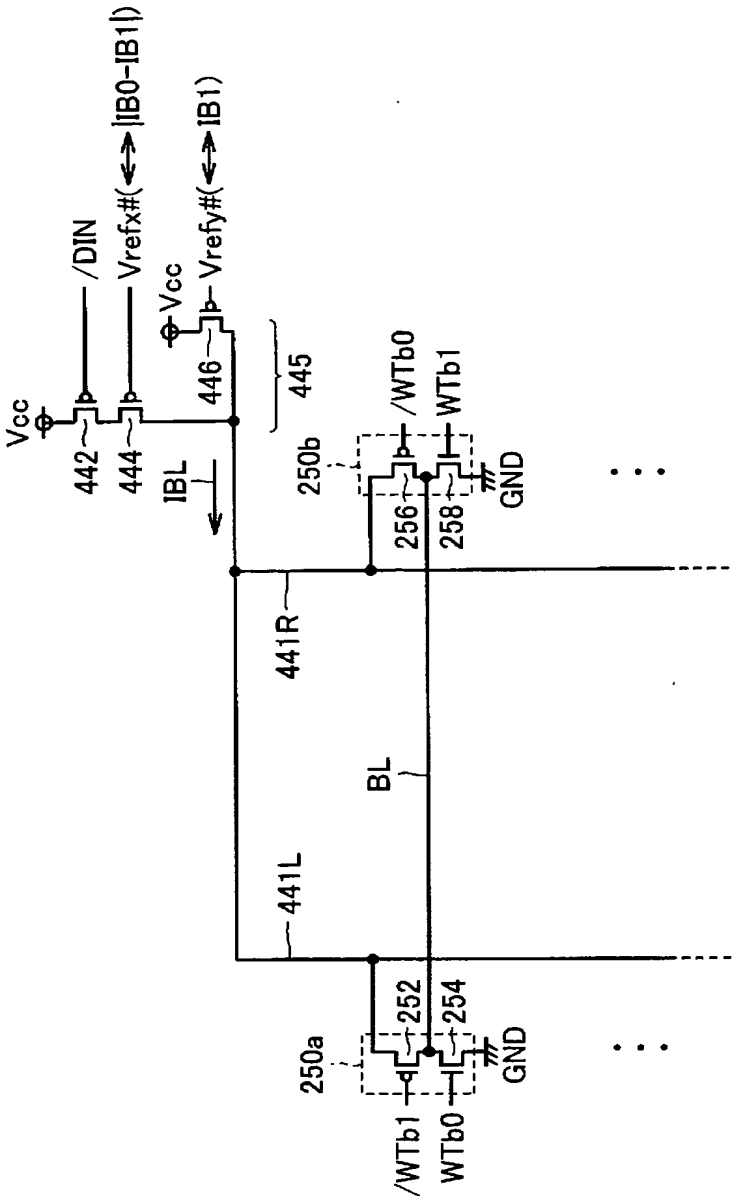
【図３２】


500
DIN
VD1
VD0
551
555
550
440
440L
VD1発生回路
VD0発生回路
PVD0～PVD3
PVD#0～PVD#3
BIST回路,
プログラム回路
より
VL
VR
VL発生回路
VR発生回路
PVL0～PVL3
PVR0～PVR3
440R
250b
441R
256
258
/WTb0
WTb1
GND
VDL
501
441L
RWL
210
IB1
IB0
IDL(Ip)
220u
/Rdw
行デコーダ215Wより
BL
WDL
MC
TMR
ATR
SL
220
250a
252
254
/WTa1
WTa0

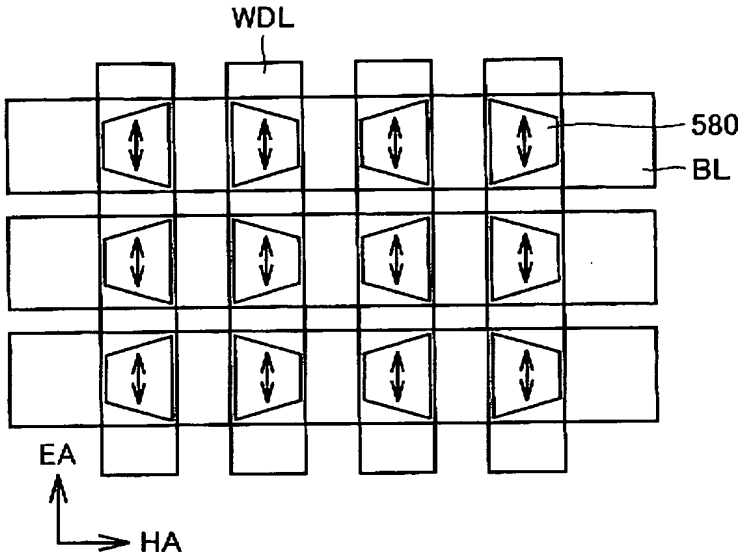
【図３３】


PVX0～PVX3
(プログラム回路31より)
PVX0～PVX3
(BIST回路30より)
565
CHP
Vcc
R
R
GND
562
Vrefx
PVY0～PVY3
(プログラム回路31より)
PVY0～PVY3
(BIST回路30より)
CHP
575
560
572
Vrefy
/DIN
Vrefx(↔ID0-ID1)
Vrefy(↔ID1)
Vcc
516
510
512
514
IDL
220u
222
/Rdw
501
/Rdw
(215Wより)
WDL
GND

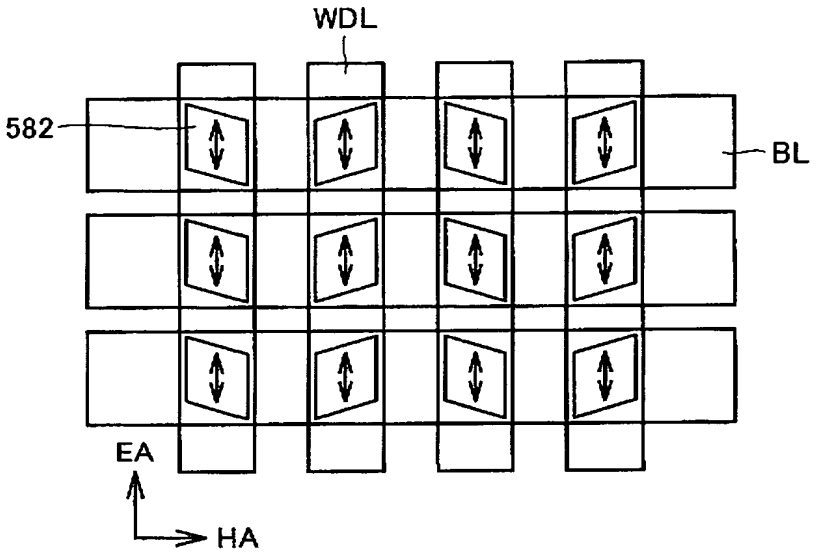
【図３４】


Vcc
/DIN
Vrefx#(↔IB0-IB1|)
Vcc
Vrefy#(↔IB1)
442
444
446
445
IBL
250b
/WTb0
WTb1
256
258
GND
441R
BL
441L
250a
252
254
/WTb1
WTb0
GND

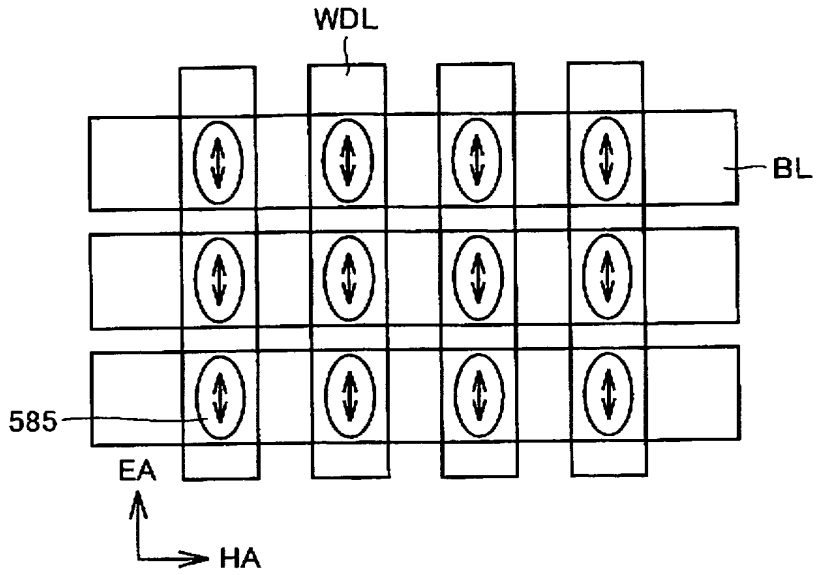
【図３５】



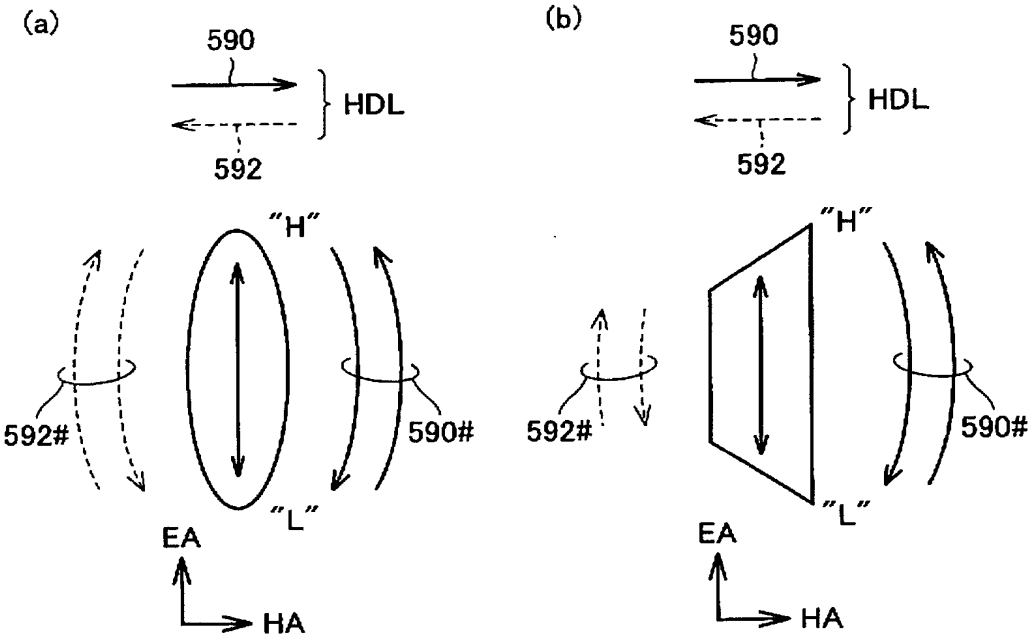
【図３６】



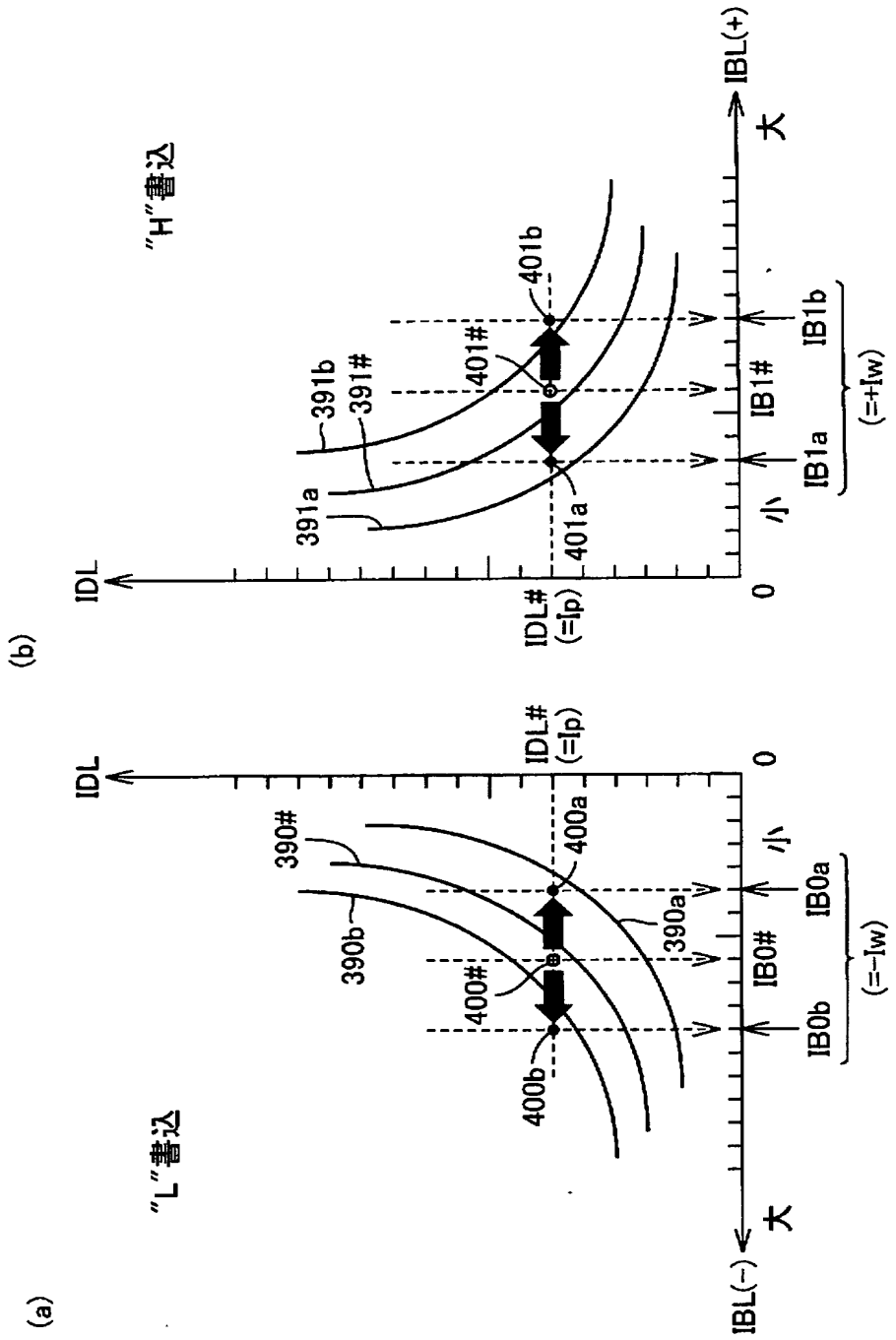
【図３７】


WDL
BL
585
EA
HA

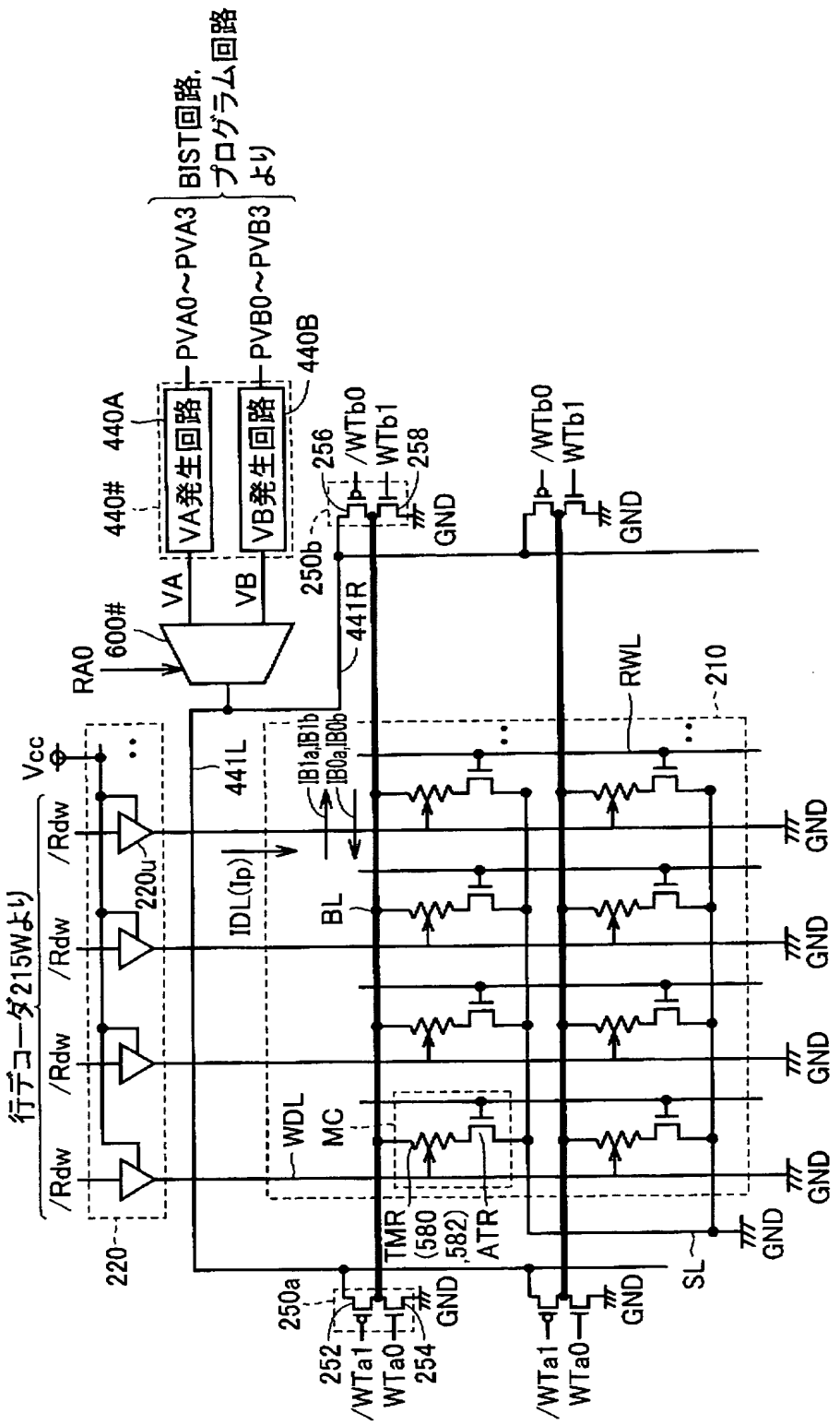
【図３８】


(a)
590
HDL
592
"H"
592#
590#
"L"
EA
HA
(b)
590
HDL
592
"H"
592#
590#
"L"
EA
HA

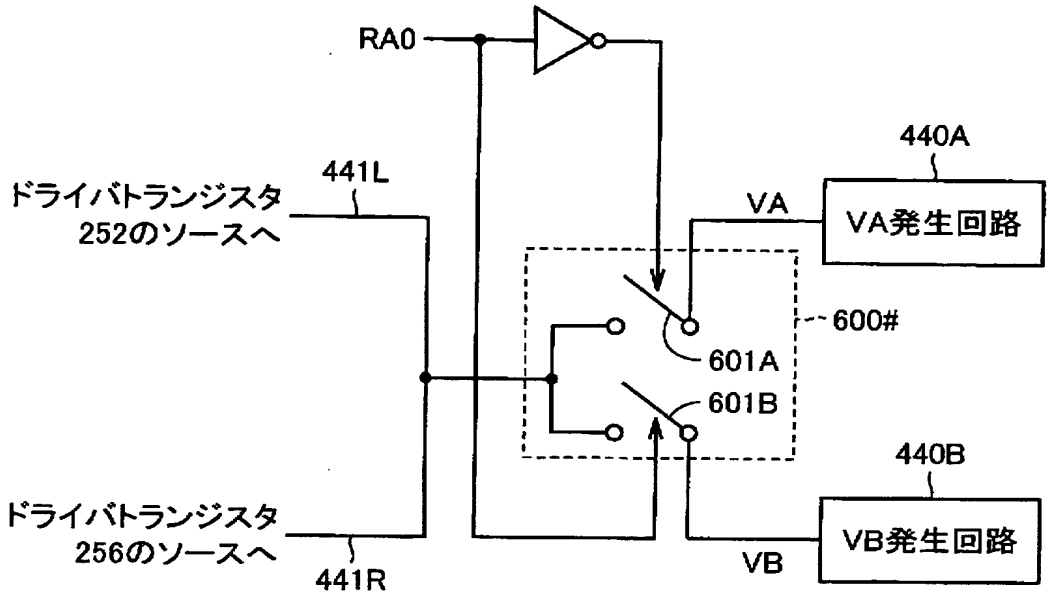
【図３９】


(a)
"L"書込
IDL
IDL#
(=Ip)
0
390#
390b
390a
400a
400#
400b
小
IB0a
IB0#
IB0b
(=-Iw)
大
IBL(-)
(b)
"H"書込
IDL
IDL#
(=Ip)
0
391a
391b
391#
401a
401b
401#
小
IB1a
IB1#
IB1b
(=+Iw)
大
IBL(+)

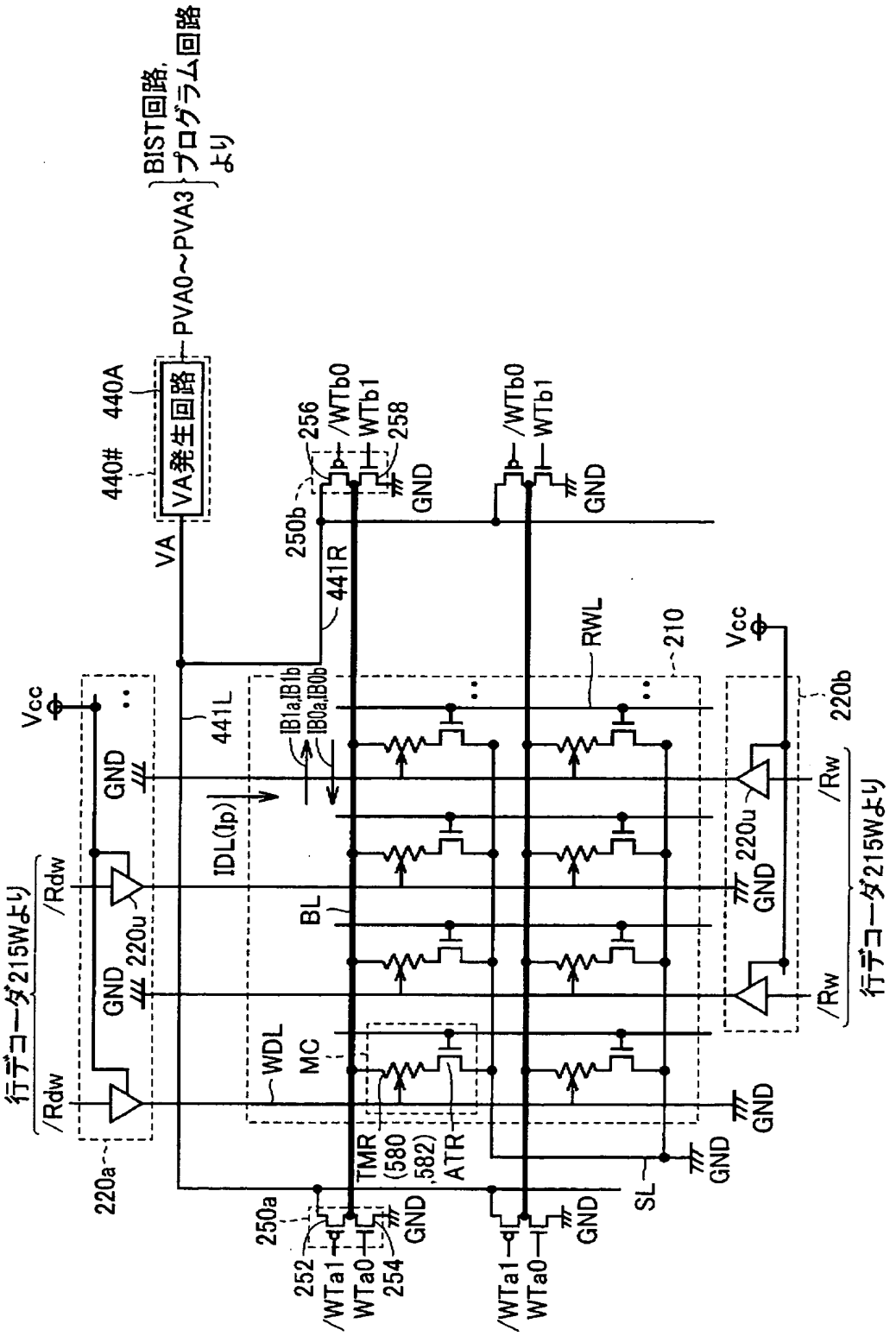
【図４０】


BIST回路,
プログラム回路
より
PVA0～PVA3
PVB0～PVB3
440B
440A
440#
VA発生回路
VB発生回路
VA
VB
600#
RA0
250b
256
/WTb0
WTb1
258
GND
441R
441L
IB1a,IB1b
IB0a,IB0b
IDL(Ip)
220u
BL
WDL
MC
TMR
(580
,582)
ATR
SL
RWL
210
Vcc
/Rdw
行デコーダ215Wより
220
250a
252
/WTa1
WTa0
254

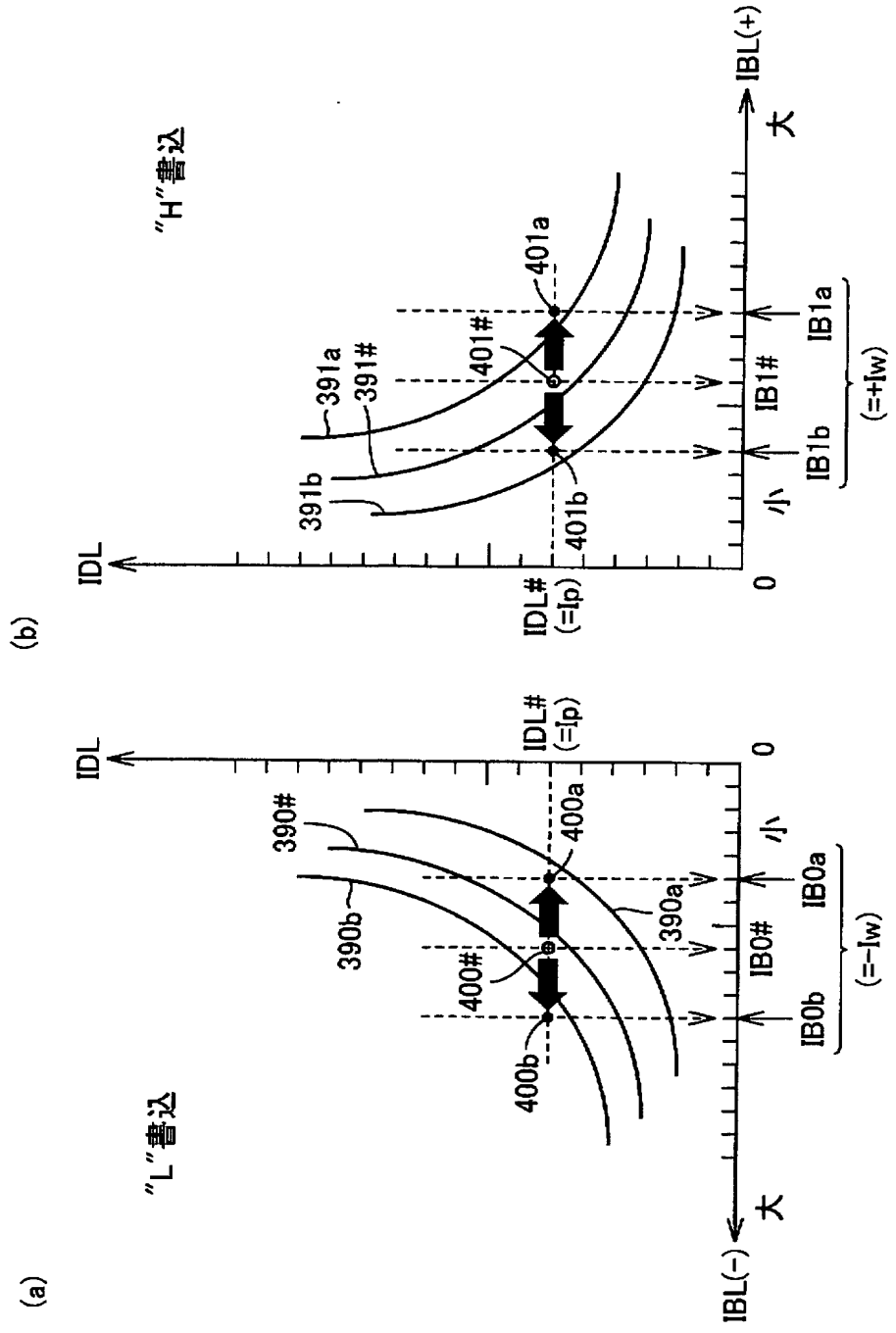
【図４１】


RA0
440A
441L
ドライバトランジスタ
252のソースへ
VA
VA発生回路
600#
601A
601B
440B
ドライバトランジスタ
256のソースへ
441R
VB
VB発生回路

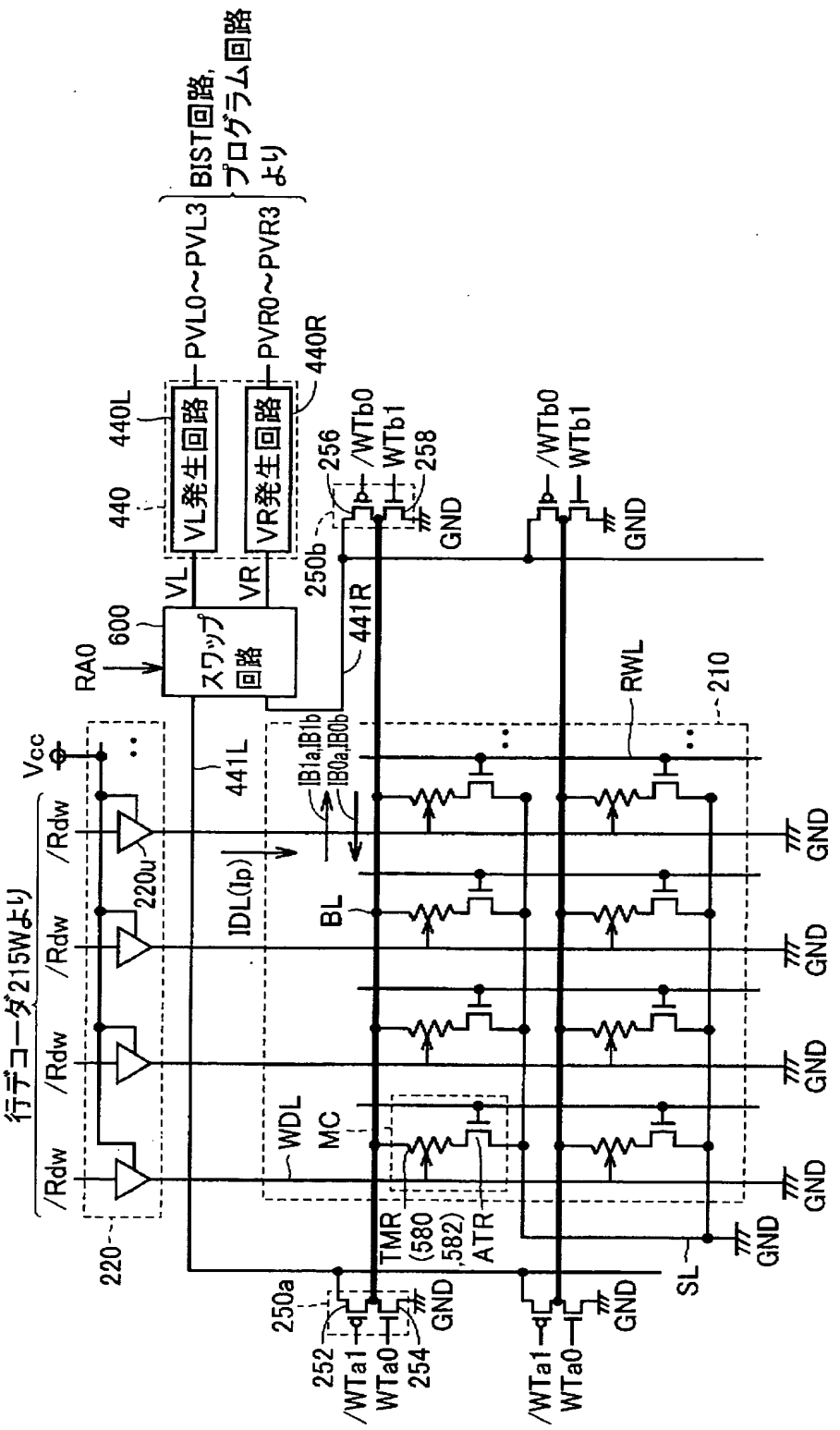
【図４２】


BIST回路,
プログラム回路
より
PVA0～PVA3
440A
440#
VA発生回路
VA
250b
256
/WTb0
WTb1
258
GND
441R
441L
RWL
210
Vcc
IB1a,IB1b
IB0a,IB0b
IDL(Ip)
BL
WDL
MC
TMR
(580
,582)
ATR
SL
220a
220b
220u
/Rdw
/Rw
行デコーダ215Wより
250a
252
/WTa1
WTa0
254

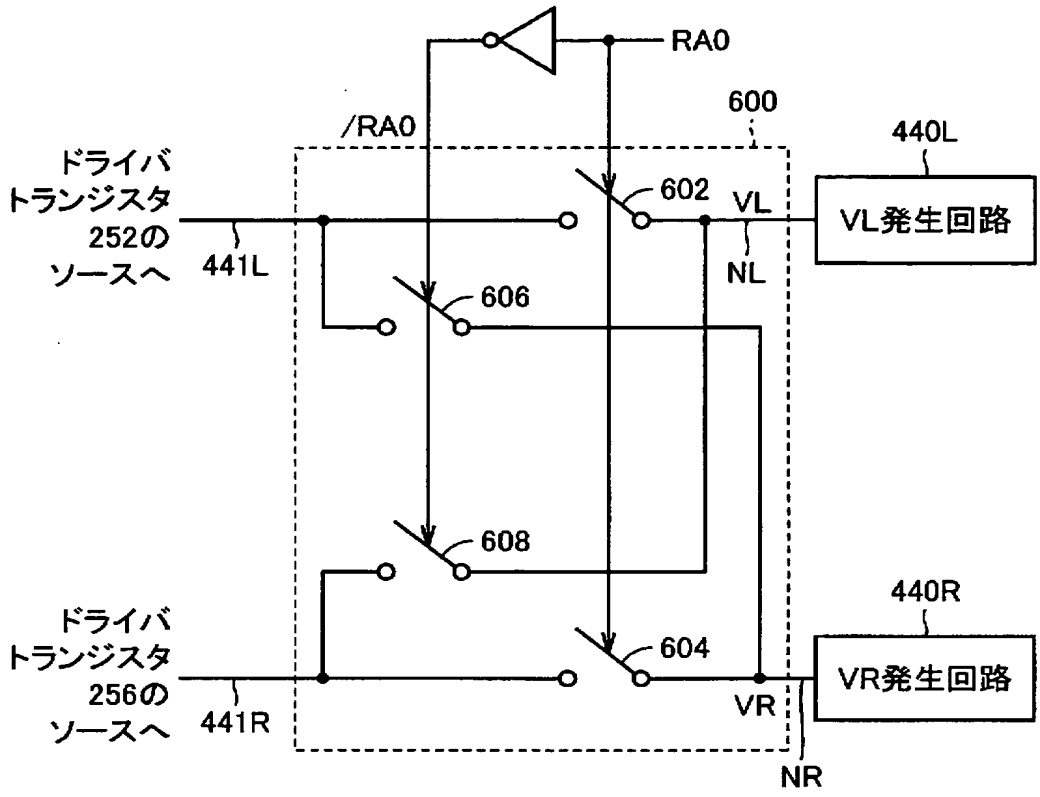
【図４３】


(a)
"L"書込
IDL
IDL#
(=Ip)
0
390#
390b
390a
400a
400#
400b
IBO#
IBO0a
IBO0b
(=-Iw)
小
大
IBL(-)
(b)
"H"書込
IDL
IDL#
(=Ip)
0
391a
391#
391b
401a
401#
401b
IB1#
IB1a
IB1b
(=+Iw)
小
大
IBL(+)

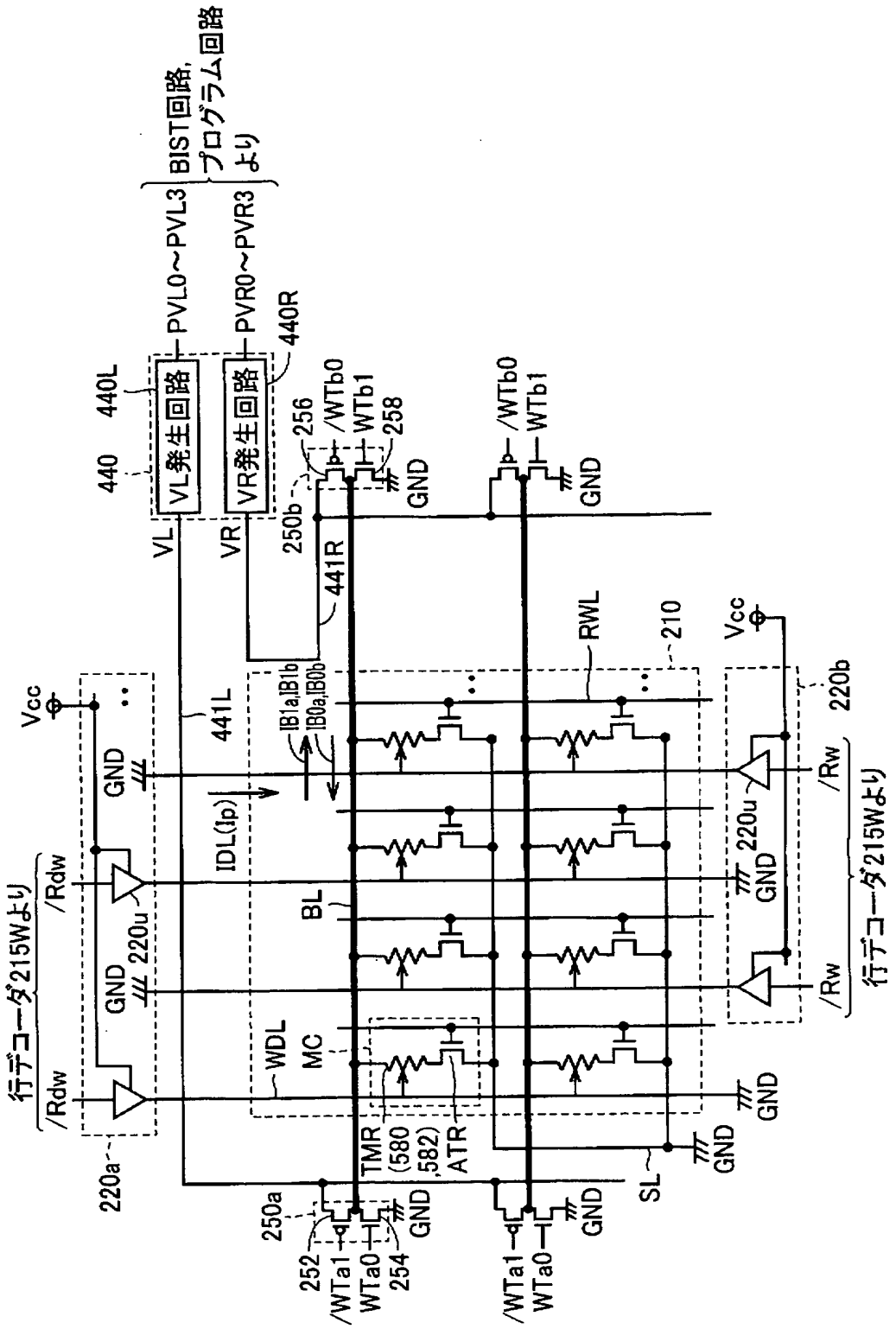
【図４４】


BIST回路,
プログラム回路
より
PVL0～PVL3
PVR0～PVR3
440
440L
440R
VL発生回路
VR発生回路
VL
VR
600
スワップ
回路
RA0
441L
441R
250b
250a
256
258
252
254
/WTb0
WTb1
/WTa1
WTa0
GND
Vcc
行デコーダ215Wより
/Rdw
220u
220
IDL(Ip)
IB1a,IB1b
IB0a,IB0b
BL
WDL
MC
TMR
(580
,582)
ATR
RWL
210
SL

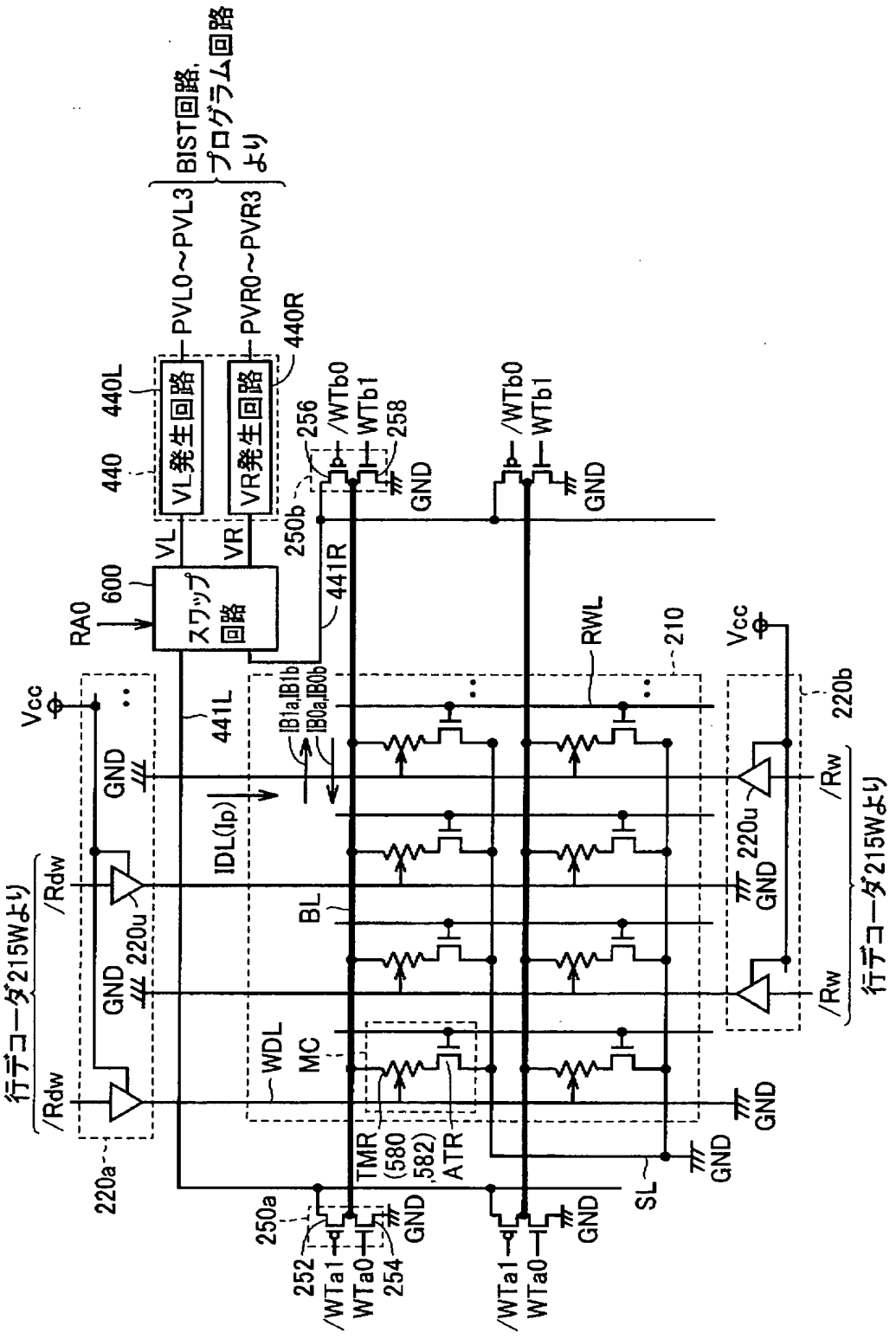
【図４５】


RA0
600
/RA0
440L
ドライバ
トランジスタ
252の
ソースへ
602
VL
VL発生回路
441L
NL
606
608
440R
ドライバ
トランジスタ
256の
ソースへ
604
VR発生回路
VR
441R
NR

【図４６】


BIST回路,
プログラム回路
より
PVL0～PVL3
PVR0～PVR3
440L
440
VL発生回路
VR発生回路
440R
VL
VR
250b
441R
256
/WTb0
WTb1
258
GND
441L
IB1a,IB1b
IB0a,IB0b
IDL(Ip)
BL
WDL
MC
TMR
(580
,582)
ATR
250a
252
/WTa1
WTa0
254
RWL
210
Vcc
220b
/Rw
220u
行デコーダ215Wより
/Rdw
220a
SL

【図４７】


BIST回路,
プログラム回路
より
PVL0～PVL3
PVR0～PVR3
440L
440
440R
VL発生回路
VR発生回路
VL
VR
600
RA0
スワップ
回路
250b
256
/WTb0
WTb1
258
GND
441R
441L
RWL
210
Vcc
IB1a,IB1b
IB0a,IB0b
IDL(Ip)
BL
WDL
MC
TMR
(580
,582)
ATR
SL
220a
220b
220u
/Rdw
/Rw
行デコーダ215Wより
250a
252
/WTa1
WTa0
254

【書類名】要約書
【要約】
【課題】　簡易な回路構成で、リーク電流やデータ書込電流等の内部電流の評価および設定が可能な半導体装置および半導体記憶装置を提供する。
【解決手段】　内部回路４２ａ，４２ｂへは、電源ノード４３ａ，４３ｂから動作電流が供給される。テストモード時には、電源ノード４３ａ，４３ｂに対しては、電流スイッチ１０２ａ，１０２ｂによって電源電圧Ｖｃｃからの電流供給が停止される一方で、外部から調整可能なテスト電流Ｉｔが供給される。テスト電流Ｉｔは、内部回路４２ａ，４２ｂでのリーク電流の許容値に応じて設定される。電源ノード４３ａ，４３ｂでの電圧降下を検知する電圧比較回路１３０の出力に応じて、内部回路４２ａ，４２ｂでのリーク電流が許容値以下であるか否かが評価される。
【選択図】　図９

特願２００３－２７６４６８

出　願　人　履　歴　情　報

識別番号　　［５０３１２１１０３］

１．変更年月日　　２００３年　４月　１日
［変更理由］　　新規登録
住　所　　東京都千代田区丸の内二丁目４番１号
氏　名　　株式会社ルネサステクノロジ